

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-202958
 (43)Date of publication of application : 30.07.1999

(51)Int.CI. G05F 3/24
 G11C 11/413
 G11C 11/407
 H01L 27/04
 H01L 21/822

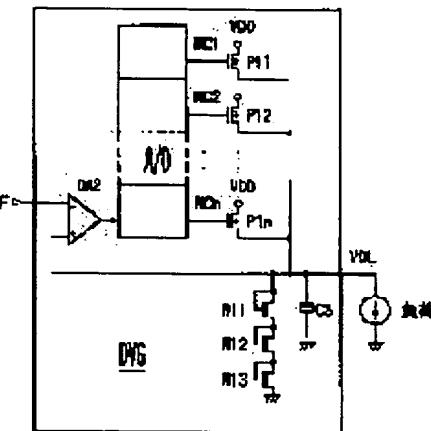
(21)Application number : 10-017832 (71)Applicant : HITACHI LTD
 (22)Date of filing : 14.01.1998 (72)Inventor : ITO YUTAKA
 HASHIMOTO TAKESHI

(54) VOLTAGE GENERATING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To actualize an inter voltage generating circuit which operates stably at high speed even when the absolute values of the power-supply voltage of a dynamic RAM and an internal power-supply voltage become small.

SOLUTION: The internal voltage generating circuit consists of an analog-digital converting circuit A/D which holds MOSFET control signals MC₁ to MC_n, generated by quantizing the potential difference between the internal power-supply voltage VDL as its output and a reference voltage VREF, selectively at high or low level in corresponding combinations, a digital step-down circuit DVG including potential control MOSFETs P1₁ to P1_n to be in a parallel state turned on and off selectively by receiving the MOSFET control signals MC₁ to MC_n corresponding to their gates, and an analog step-down circuit which has its output node coupled with the digital step-down circuit DVG in common and controls the gate voltage of other potential control MOSFETs on an analog basis to generate the specific internal power-supply voltage.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(18) 日本国特許庁 (JP)

① 公開特許公報 (A)

(11)特許出願公開番号

特開平11-202958

(10) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.
 G 06 F 9/24
 G 11 C 11/412
 11/407
 H 01 L 27/04
 21/822

登録記号

F I
 G 06 F 9/24
 G 11 C 11/34
 8.3 5 A
 8.5 4 P
 H 01 L 27/04
 B

特許請求 未請求 開示項の数18 FD (A) 20 EO

(21) 出願番号 特開平10-17832
 (22) 出願日 平成10年(1998) 1月14日

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区神田駿河台四丁目6番地
 (72) 発明者 伊藤 勝
 東京都青梅市今井2528番地 株式会社日立
 製作所デバイス開発センター内
 (73) 領野者 橋本 周
 東京都青梅市今井2528番地 株式会社日立
 製作所デバイス開発センター内
 (74) 代理人 伊藤士 敏吉 光政

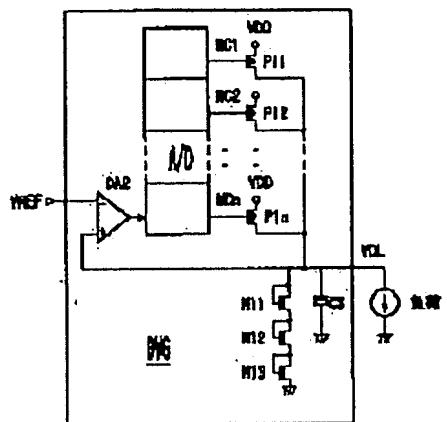
(54) 【発明の名前】 電圧検出回路

(57) 【要約】 (수정 유)

【考案】 다이나믹 RAM (dynamic RAM) 의 전원 전압 VDD 및 내부 전원 전압 VDL의 절대치가 적어진 경우에도 고속인 동시에 안정에 동작하고 파는 내부 전압 발생 회로를 실현한다.

【해결 수단】 내부 전압 발생 회로는 그 출력인 내부 전원 전압 VDL과 기준 전압 VREF와의 사이의 전위 차를 양자화했다. MOSFET 제어 신호 MC1 ~ MCn를 대응한 조합으로 선택적에 하이 (high) 레벨 (level) 또는 저레벨 (low level) 라고 지나는 아날로그 (analog) · 디지털 (digital) 변환 회로 A/D와 병렬 형태에 설치되고, 또한 그 게이트 (gate) 에 대응한 MOSFET 제어 신호 MC1 ~ MCn를 받고 선택적에 온 (on), 또는 오프 (off) 로 된 전위 제어 MOSFET P11 ~ P1n와 읍 (를) 포함한 디지털 (digital) 강압 회로 DVG와 그 출력 노드 (node) 가 디지털 (digital) 강압 회로 DVG에 공통 결합되고, 다른 전위 제어 MOSFET의 게이트 (gate) 전압을 아날로그 (analog) 과녁에 제어하고 소정의 내부 전원 전압을 생성한 아날로그 (analog) 강압 회로에 의하고 구성한다.

図9 デジタル音圧回路の基本構成(実施例1)



[특허청구의 범위]

[청구항 1] 제 1의 전압이 공급된 제 1의 전압 공급점과 실질적인 제 2의 전압 공급점과의 사이에 병렬 형태에 설치되고 대응한 제 1의 제어 신호의 유효 레벨 (level) 를 받고 각각 선택적에 온 (on) 상태로 된 제 1 도전형의 여러의 제 1의 전위 제어 MOSFET를 포함한 제 1의 전위 제어회로를 구비하고, 또한,

상기 제 2의 전압 공급점에 있어 그 절대치가 상기 제 1의 전압과는 다른 제 2의 전압을 생성한 것을 특징으로 한 전압 발생 회로.

[청구항 2] 청구항 1에 있어,

상기 제 1의 전위 제어회로는,

실질적인 상기 제 2의 전압과 소정의 기준 전압의 전위를 비교하고, 그 전위차에 딸렸던 전위의 출력 신호를 형성한 차동 증폭 회로와,

상기 차동 증폭 회로의 출력 신호를 그 전위에 의하고 양자화하고, 상기 제 1의 제어 신호를 소정의 조합으로 선택적에 유효 레벨 (level) 라고 지나는 아날로그 (analog) · 디지털 (digital) 변환 회로와 음(음) 포함한 것인 것을 특징으로 한 전압 발생 회로.

[청구항 3] 청구항 2에 있어,

상기 아날로그 (analog) · 디지털 (digital) 변환 회로는,

상기 제 1의 제어 신호의 각각에 대응하고 설치되고, 그 입력단자에 상기 차동 증폭 회로의 출력 신호를 공통에 밟고, 그 논리 스레시홀드레벨이 각각 다르고, 또한 그 실질적인 출력 신호가 대응한 상기 제 1의 제어 신호미(가) 된 여러의 논리 게이트 (gate) 를 포함한 것인 것을 특징으로 한 전압 발생 회로.

[청구항 4] 청구항 2 또는 청구항 3에 있어,

상기 차동 증폭 회로는, 상기 제 2의 전압이 분압되고 된 제 3의 전압과 상기 기준 전압의 전위를 비교한 것을 특징으로 한 전압 발생 회로.

[청구항 5] 청구항 1, 청구항 2, 청구항 3 또는 청구항 4에 있어,

상기 제 1의 전위 제어회로는, 비교적 안정된 주기 및 듀티 (duty) 의 입력 팔스 신호를 기초로 상기 제 1의 전압의 전위에 딸렸던 듀티 (duty) 의 출력 팔스 신호를 생성한 듀티 (duty) 제어회로를 포함한 것이고,

상기 제 1의 제어 신호는, 상기 출력 팔스 신호가 유효 레벨 (level) 로 된 기간만 선택적에 유효 레벨 (level) 로 된 것인 것을 특징으로 한 전압 발생 회로.

[청구항 6] 청구항 1, 청구항 2, 청구항 3 또는 청구항 4에 있어,

상기 제 1의 전위 제어회로는,

비교적 안정된 주기 및 듀티 (duty) 의 입력 팔스 신호를 기초로, 상기 제 1의 전압의 전위에 딸렸던 듀티 (duty) 의 출력 팔스 신호를 생성한 듀티 (duty) 제어회로와,

상기 제 1의 전압 공급점과 상기 제 1의 전위 제어 MOSFET의 공통 결합된 소스 (sauce) 와의 사이에 설치되고, 상기 출력 팔스 신호의 유효 레벨 (level) 를 받고 선택적에 온 (on) 상태로 된 제 1 도전형의 제 1의 MOSFET와 음(음) 포함한 것인 것을 특징으로 한 전압 발생 회로.

[청구항 7] 청구항 1, 청구항 2, 청구항 3 또는 청구항 4에 있어,

상기 제 1의 전위 제어회로는,

비교적 안정된 주기 및 듀티 (duty) 의 입력 팔스 신호를 기초로, 상기 제 1의 전압의 전위에 딸렸던 듀티 (duty) 의 출력 팔스 신호를 생성한 듀티 (duty) 제어회로와,

상기 제 1의 전위 제어 MOSFET의 공통 결합된 드레인 (drain) 와 상기 제 2의 전압 공급점과의 사이에 설치되고, 상기 출력 팔스 신호의 유효 레벨 (level) 를 받고 선택적에 온 (on) 상태로 된 제 1 도전형의 제 2의 MOSFET와 음(음) 포함한 것인 것을 특징으로 한 전압 발생 회로.

[청구항 8] 청구항 1, 청구항 2, 청구항 3 또는 청구항 4에 있어,

상기 제 1의 전위 제어회로는,

비교적 안정된 전위의 게이트 (gate) 전압을 생성한 게이트 (gate) 전압 발생 회로와,

상기 제 1의 전압 공급점과 상기 제 1의 전위 제어 MOSFET의 공통 결합된 소스 (sauce) 와의 사이에 설치되고, 그 게이트 (gate) 에 상기 게이트 (gate) 전압을 받는 제 2 도전형의 제 3의 MOSFET와 음(음) 포함한 것인 것을 특징으로 한 전압 발생 회로.

[청구항 9] 청구항 1에 있어,

상기 제 1의 전위 제어회로는, 상기 제 2의 전압이라고 대응한 기준 전압의 전위를 각각 비교하고, 대응한 상기 제 1의 제어 신호를 선택적에 유효 레벨 (level) 라고 지나는 여러의 차동 증폭 회로를 포함한 것인 것을 특징으로 한 전압 발생 회로.

[청구항 10] 청구항 1, 청구항 2, 청구항 3, 청구항 4, 청구항 5, 청구항 6, 청구항 7, 청구항 8 또는 청구항 9에 있어,

상기 전압 발생 회로는, 상기 제 1의 전압 공급점과 상기 제 2의 전압 공급점과의 사이에 설치되고, 그

컨덕턴스 (conductance) 가 대응한 제 2의 제어 신호의 전위에 따르고 아날로그 (analog) 과녁에 변화된 제 1 도전 형의 제 2의 전위 제어 MOSFET를 포함한 제 2의 전위 제어회로를 구비한 것인 것을 특징으로 한 전압 발생 회로.

【청구항 1 1】 청구항 1, 청구항 2, 청구항 3, 청구항 4, 청구항 5, 청구항 6, 청구항 7, 청구항 8, 청구 항 9 또는 청구항 1 0에 있어,

상기 전압 발생 회로는, 메모리 (memory) 집적회로 장치에 내장된 것이고,

상기 제 2의 전압은, 상기 메모리 (memory) 집적회로 장치의 주된 논리 회로의 동작 전원으로서 공급된 것인 것을 특징으로 한 전압 발생 회로.

【청구항 1 2】 제 1의 전압이 공급된 제 1의 전압 공급점과 실질적인 제 2의 전압 공급점과의 사이에 별별 형태에 설치되고, 대응한 제 1의 제어 신호의 유효 레벨 (level) 을 받고 각각 선택적에 온 (on) 상태로 된 제 1 도전형의 여러의 제 1의 전위 제어 MOSFET를 포함한 제 1의 전위 제어회로와,

상기 제 1의 전압 공급점과 삼극적인 상기 제 2의 전압 공급점과의 사이에 설치되고, 그 컨덕턴스 (conductance) 가 대응한 제 2의 제어 신호의 전위에 따르고 아날로그 (analog) 과녁에 변화된 제 1 도전형의 제 2의 전위 제어 M OSFET 를 포함한 제 2의 전위 제어회로와 음(를) 구비하고, 또한,

상기 제 2의 전압 공급점에 있어 그 절대치가 상기 제 1의 전압과는 다른 제 2의 전압을 생성한 것을 특징으로 한 전압 발생 회로.

【청구항 1 3】 청구항 1 2에 있어,

상기 제 1의 전위 제어회로는,

실질적인 상기 제 2의 전압과 소정의 기준 전압의 전위를 비교하고, 그 전위차에 달랐던 전위의 출력 신호를 형성한 차동 증폭 회로와,

상기 차동 증폭 회로의 출력 신호를 그 전위에 의하고 양자화하고, 상기 제 1의 제어 신호를 소정의 조합으로 선택적에 유효 레벨 (level) 라고 지나는 아날로그 (analog) · 디지털 (digital) 변환 회로와 음(를) 포함한 것인 것을 특징으로 한 전압 발생 회로.

【청구항 1 4】 청구항 1 2 또는 청구항 1 3에 있어,

상기 차동 증폭 회로는, 상기 제 2의 전압이 분압되고 된 제 3의 전압과 상기 기준 전압의 전위를 비교한 것인 것을 특징으로 한 전압 발생 회로.

【청구항 1 5】 청구항 1 2, 청구항 1 3 또는 청구항 1 4에 있어,

상기 제 1의 전위 제어회로는, 비교적 안정된 주기 및 듀티 (duty) 의 입력 팔스 신호를 기초로, 상기 제 1의 전압의 전위에 달랐던 듀티 (duty) 의 출력 팔스 신호를 생성한 듀티 (duty) 제어회로를 포함한 것이고,

상기 제 1의 제어 신호는, 상기 출력 팔스 신호가 유효 레벨 (level) 로 된 기간만 선택적에 유효 레벨 (level) 로 된 것인 것을 특징으로 한 전압 발생 회로.

【청구항 1 6】 청구항 1 2, 청구항 1 3 또는 청구항 1 4에 있어,

상기 제 1의 전위 제어회로는,

비교적 안정된 주기 및 듀티 (duty) 의 입력 팔스 신호를 기초로; 상기 제 1의 전압의 전위에 달랐던 듀티 (duty) 의 출력 팔스 신호를 생성한 듀티 (duty) 제어회로와,

상기 제 1의 전압 공급점과 상기 제 1의 전위 제어 MOSFET 의 공통 결합된 소스 (sauce) 와의 사이에 설치되고, 상기 출력 팔스 신호의 유효 레벨 (level) 를 받고 선택적에 온 (on) 상태로 된 제 1의 도전형의 제 1의 MOSFET 와 음(를) 포함한 것인 것을 특징으로 한 전압 발생 회로.

【청구항 1 7】 청구항 1 2, 청구항 1 3 또는 청구항 1 4에 있어,

상기 제 1의 전위 제어회로는,

비교적 안정된 주기 및 듀티 (duty) 의 입력 팔스 신호를 기초로, 상기 제 1의 전압의 전위에 달랐던 듀티 (duty) 의 출력 팔스 신호를 생성한 듀티 (duty) 제어회로와,

상기 제 1의 전위 제어 MOSFET 의 공통 결합된 드레인 (drain) 와 상기 제 1의 전압 공급점과의 사이에 설치되고, 상기 출력 팔스 신호의 유효 레벨 (level) 를 받고 선택적에 온 (on) 상태라고된 제 1 도전형의 제 2의 MOSFET 와 음(를) 포함한 것인 것을 특징으로 한 전압 발생 회로.

【청구항 1 8】 청구항 1 2, 청구항 1 3 또는 청구항 1 4에 있어,

상기 제 1의 전위 제어회로는,

비교적 안정된 전위의 게이트 (gate) 전압을 생성한 게이트 (gate) 전압 발생 회로와,

상기 제 1의 전압 공급점과 상기 제 1의 전위 제어 MOSFET 의 공통 결합된 소스 (sauce) 와의 사이에 설치되고, 그 게이트 (gate) 에 상기 게이트 (gate) 전압을 받는 제 2 도전형의 제 3의 MOSFET 와 음(를) 포함한 것인 것을 특징으로 한 전압 발생 회로.

【발명의상세한설명】

【0 0 0 1】

【발명이 속한 기술 분야】 이 발명은 전압 발생 회로에 관한하고, 예를 들면, 다이내믹 (dynamic) 형 RAM (랜덤 (random) 액세스 (access) 메모리 (memory)) 등에 내장된 내부 전압 발생 회로 및 그 동작의 고속화 및 안정화에 이용하고 특히 유효한 기술에 관한 것이다.

【0 0 0 2】

【증례의 기술】 다이내믹 (dynamic) 형 메모리 (memory) 셀 (cell) 가 격자상에 배치되고 된 메모리 (memory) 어레이 (array) 를 그 기본 구성요소라고 지나는 다이내믹 (dynamic) 형 RAM 이 있다. 다이내믹 (dynamic) 형 RAM 등으로는, 질적회로의 미세화 · 고집적화 기술의 진전에 따라, 특히 메모리 (memory) 어레이 (array) 및 그 직접 주변 회로에 있어서 동작 전원이 저전압화 된 것이 많이, 내부 전압 발생 회로를 설치하고, 외부 공급된 전원 전압을 기초로 비교적 작은 절대치의 내부 전원 전압을 생성하고, 각 내부 회로의 동작 전원으로서 공급한 방법이 채택된다.

【0 0 0 3】

(발명이 해결하려고 지나는 과정) 본원발명 자들은, 이 발명에 앞서고, 내부 전압 발생 회로를 구비한 다이나믹 (dynamic) 형 RAM을 개발하고, 그 과정에서 다음과 같은 문제점을 알아차렸다. 즉, 이 다이나믹 (dynamic) 형 RAM에 설치된 내부 전압 발생 회로 VG는, 그림 2 4에 예시되도록, 외부 단자 VDD를 이용하고 공급된 전원 전압 VDD를 기초로 소정의 전위의 내부 전원 전압 VDL을 생성하고, 부하 즉 다이나믹 (dynamic) 형 RAM의 주된 논리 회로에 동작 전원으로서 공급한다. 내부 전압 발생 회로 VG는, 그 반전 입력 단자 -에(로) 소정의 기준 전압 VREF를 받고 그 비반전 입력단자 +에(로) 내부 전원 전압 VDL을 받는 차동 증폭 회로 DA4와, 그 게이트 (gate)에 차동 증폭 회로 DA4의 출력 신호를 받는 P 채널 (channel) 형의 전위 제어 MOSFET (금속 산화물 반도체형 전계 효과 트랜지스터 (transistor). 이 명세서로는, MOSFET을 하고 있고 절연 게이트 (gate) 형 전계 효과 트랜지스터 (transistor)의 통칭이라고 지나다) P51과 읍(음) 포함 한다. 전위 제어 MOSFET P51의 소스 (sauce)는 전원 전압 VDD에 결합되고, 그 드레인 (drain) 즉 내부 전원 전압 공급 점 VDL은, 전위 제한을 위한 클램프 (clamp) 회로를 구성한 N 채널 (channel) 형의 3개의 다이오드 (diode) MOSFET TN51 ~ N53를 이용하고, 접

지 전위 VSS에 결합된다. 내부 전원 전압 VDL과 접지 전위 VSS와의 사이에는, 상기 부하이(가) 된 논리 회로가 결합되고, 또한 전위 안정화를 위한 용량 C4가 설치된다.

【0004】내부 전원 전압 VDL이 기준 전압 VREF보다 낮은 전위로 된다면 나무, 차동 증폭 회로 DA4의 출력 신호의 전위는, 그 전위차에 따르고 높아지기 위해(때문에), 전위 제어 MOSFETP51의 컨덕턴스 (conductance) 가 커지고, 내부 전원 전압 VDL의 전위는 상승한다. 한편, 내부 전원 전압 VDL이 기준 전압 VREF보다(부터) 비싼 전위로 된다면 나무, 차동 증폭 회로 DA4의 출력 신호의 전위는, 역으로 그 전위 차에 따르고 높아지기 위해(때문에), 전위 제어 MOSFETP51의 컨덕턴스 (conductance) 가 작아지고, 내부 전원 전압 VDL의 전위는 저하된다. 이 결과, 내부 전원 전압 VDL의 전위는, 기준 전압 VREF를 향하고 마날로그 (analog) 과녁에 제어되고, 수습한다.

【0005】와 곱림대가, 다이내믹 (dynamic) 형 RAM의 고집적화 대용량화가 나아가고, 내부 전원 전압 VDL에 대한 부하가 증대면, 전위 제어 MOSFETP51으로서 큰 구동 능력이 필요해지고, 그 사이즈 (size) 가 극히 큰 것이(가) 된다. 이 때문에, 내부 전압 발생 회로 VG의 레이아웃 (layout) 소요 면적이 커지고, 다이내믹 (dynamic) 형 RAM의 저비용화가 저해됨과 동시에, 그 사이즈 (size) 의 대형화에 수반하고 전위 제어 MOSFETP51의 게이트 (gate) 용량이 커지고, 내부 전압 발생 회로 VG로서의 전위 제어 동작이 늦어진다. 또, 다이내믹 (dynamic) 형 RAM의 저전압화가 나아가고, 전원 전압 VDD 및 내부 전원 전압 VDL의 전위가 각각 예를 들면 2.5V (볼트 (volt)) 및 1.8V 정도에 작은 절대치인(가) 되면, 삼용하고 전위 제어 MOSFETP51의 소스 (sauce) · 드레인사이 전압 및 게이트 (gate) · 소스 (sauce) 간 전압이 압축된다. 이 결과, 전위 제어 MOSFETP51의 구동 능력이 저하되고, 내부 전압 발생 회로 VG로서의 공급 능력이 저하됨과 동시에, 게이트 (gate) · 소스 (sauce) 간 전압의 압축에 의하고 전위 제어 MOSFET의 전위 제어 동작이 또한 늦어지고, 내부 전원 전압 VDL의 전위가 불안정이(가) 되고, 다이내믹 (dynamic) 형 RAM의 동작이 불안정이(가) 된다.

【0006】이 발명의 목적은, 전원 전압 및 내부 전원 전압의 절대치가 비교적 작아진 경우에도 고속인 동시에 안정에 동작하고 파는 전압 발생 회로를 제공한 것에 있다. 이 발명의 다른 목적은, 내부 전압 발생 회로를 구비한 다이내믹 (dynamic) 형 RAM 등의 동작을 안정화되고, 다이내믹 (dynamic) 형 RAM 등의 저비용화를 도모한 것에 있다.

【0007】이 발명의 상기 및 그 밖의 목적과 신규 특징은, 이 명세서의 기술 및 첨부도면에서 밝혀지는 것이다.

【0008】

[과제를 해결하기 위한 수단] 본원에 있어 명시된 발명중 대표적인 것이지만 개요를 간단하게 설명하면, 다음과 같다. 즉, 내부 전압 발생 회로를 구비하고 그 동작 전원의 저전압화가 도모된 다이내믹 (dynamic) 형 RAM 등에 있어, 내부 전압 발생 회로를, 그 출력인 내부 전원 전압과 소정의 기준 전압과의 사이의 전위차를 양자화하고 여러의 MOSFET 제어 신호를 대응한 조합으로 선택적에 하이 (high) 레벨 (level) 또는 저레벨 (low level) 라고 지나는 마날로그 (analog) · 디지털 (digital) 변환 회로와, 병렬 형태에 설치되고, 극히 작은 사이즈 (size) 로 형성되고, 또한 그 게이트 (gate)에 대응한 MOSFET 제어 신호를 받는 것으로 선택적에 온 (on) 상태 또는 오프 (off) 상태로 된 다수의 제1의 전위 제어 MOSFET와, 틀 (틈) 포함한 디지털 (digital) 강압 회로와, 그 출력 노드 (node) 가 디지털 (digital) 강압 회로와 공통 결합되고, 중간적인 사이즈 (size) 로 된 제2의 전위 제어 MOSFET의 게이트 (gate) 전압을 마날로그 (analog) 과녁에 제어한 것에 의하고 소정의 전위의 내부 전원 전압을 생성한 마날로그 (analog) 강압 회로와를 기초로 구성한다. 또, 디지털 (digital) 강압 회로에, 전원 전압의 전위 변동에 따르고 출력 팔스 신호의 듀티 (duty) 를 제어한 듀티 (duty) 제어회로를 설치하고, 마날로그 (analog) · 디지털 (digital) 변환 회로에 의한 MOSFET 제어 신호의 생성을 출력 팔스 신호에 의하고 제어하고, 또는 제1의 전위 제어 MOSFET의 공통 결합된 소스 (sauce) 또는 드레인 (drain) 가장자리에 출력 팔스 신호를 받는 P 채널 (channel) 형의 제1 또는 제2의 MOSFET를 설치하고, 혹은 제1의 전위 제어 MOSFET의 공통 결합된 소스 (sauce) 가장자리에, 소정의 게이트 (gate) 전압을 받는 N 채널 (channel) 형의 제3의 MOSFET를 설치한다.

【0009】상기한 수단에 의하면, 마날로그 (analog) 강압 회로에 의하고 내부 전원 전압의 전위를 리니어 (linear) 하게 제어한 것을 할 수 있고, 게다가 마날로그 (analog) 강압 회로를 구성한 제2의 전위 제어 MOSFET의 사이즈 (size) 를 비교적 작게 한 것을 할 수 있다면 모두, 디지털 (digital) 강압 회로에서는, 극히 작은 사이즈 (size) 의 다수의 제1의 전위 제어 MOSFET를 디지털적에 제어하고 선택적에 온 (on) 상태 또는 오프 (off) 상태로서, 내부 전원 전압의 전위를 고속인 동시에 안정에 제어한 것을 할 수 있다. 이것에 의하고, 전원 전압 및 내부 전원 전압의 절대치가 비교적 작게 된다. 경우에도 고속인 동시에 안정에 동작하고, 게다가 그 레이아웃 (layout) 소요 면적의 축소를 도모한 전압 발생 회로를 실현한 것을 할 수 있다. 이 결과, 내부 전압 발생 회로를 구비한 다이내믹 (dynamic) 형 RAM 등의 동작을 안정화될 수 있음과 동시에, 그 칩 (chip) 사이즈 (size) 를 축소하고, 저비용화를 도모한 것을 할 수 있다.

【0010】

[발명의 실시의 형태] 그림 1에는, 이 발명이 적용된 다이내믹 (dynamic) 형 RAM (메모리 (memory) 집적회로 장치) 의 한 실시예의 블록 도화 나타나고 있다. 동그림을 기초로, 먼저 이 실시 예의 다이내믹 (dynamic) 형 RAM의 구성 및 동작의 개요에 관하여 설명하다. 또한, 그림 1의 각 블록을 구성한 회로 소자는, 공지인 MOSFET 집적회로의 제조 기술에 의하고, 단결정 실리콘 (silicon) 와 같은 1개의 반도체 기판면상에 형성된다.

【0011】그림 1에 있어, 이 실시 예의 다이내믹 (dynamic) 형 RAM은, 레이아웃 (layout) 면적의 대부분을 차지하고 배치된 메모리 (memory) 어레이 (array) MARY를 그 기본 구성요소라고 지난다. 메모 (memo)

리어 레이 (iel) M A R Y는, 그림의 수직 방향에 평행하고 배치된 소정수의 워드 (word) 선과, 수평 방향에 평행하고 배치된 소정수조의 상보 비트 (bit) 선과 블(들) 포함한다. 이러한 워드 (word) 선 및 상보 비트 (bit) 선의 교점에는, 정보 축적 캐파시터 (capacitor) 및 어드레스 (address) 선택 M O S F E T로 된 다수의 디이내믹 (dynamic) 형 메모리 (memory) 셀 (cell) 가 격자상에 배치된다.

【0.0.1.2】 이 실시예에 있어, 디이내믹 (dynamic) 형 R A M은, 그 고집적화 대용량화에 따라, 동작 전원의 저전압화가 나아가고, 메모리 (memory) 어레이 (array) M A R Y 및 직접 주변 회로등의 주된 논리 회로는, 예를 들면 1. 8 V와 같이 비교적 작은 절대치의 내부 전원 전압 V D L과 절지 전위 V S S 즉 0 V를 그 동작 전원이라 고 지닌다.

【0.0.1.3】 메모리 (memory) 어레이 (array) M A R Y를 구성한 워드 (word) 는, 그림의 아래쪽에 있어 X 어드레스 (address) 디코더 (decoder) X D에 결합되고, 택일적에 선택 상태로 된다. 이 X 어드레스 (address) 디코더 (decoder) X D에는, X 어드레스 (address) 버퍼 (buffer) X B로부터 i + 1 비트 (bit) 의 내부 어드레스 (address) 신호 X 0 ~ X i 가 공급되고, 타이밍 (timing) 발생 회로 T G로부터 내부 제어 신호 X D G가 공급된다. 또, X 어드레스 (address) 버퍼 (buffer) X B에는, 외부의 액세스 (access) 장치로부터 어드레스 (address) 입력단 자 A 0 ~ A i 를 이용해 X 어드레스 (address) 신호 A X 0 ~ A X i 가 시분할적에 공급됨과 동시에, 타이밍 (timing) 발생 회로 T G로부터 내부 제어 신호 X L이 공급된다.

【0.0.1.4】 X 어드레스 (address) 버퍼 (buffer) X B는, 어드레스 (address) 입력단 자 A 0 ~ A i 를 이용하고 공급된 X 어드레스 (address) 신호 A X 0 ~ A X i 를 내부 제어 신호 X L에 따라 취입하고, 지지함과 동시에, 이러한 X 어드레스 (address) 신호를 기초로 내부 어드레스 (address) 신호 X 0 ~ X i 를 형성하고, X 어드레스 (address) 디코더 (decoder) X D에 공급한다. 또, X 어드레스 (address) 디코더 (decoder) X D는, 내부 제어 신호 X D G의 하이 (high) 레벨 (level) 을 받고 선택적에 동작 상태로 되고, 내부 어드레스 (address) 신호 X 0 ~ X i 를 디코드 (decode) 하고, 메모리 (memory) 어레이 (array) M A R Y가 대응한 워드 (word) 선을 택일적에 선택 레벨 (level) 라고 지낸다. 또한, 메모리 (memory) 어레이 (array) M A R Y를 구성한 워드 (word) 선의 선택 레벨 (level) 는, 예를 들면 3. 5 V일 것인 고전위 V P P로 된다.

【0.0.1.5】 다음에, 메모리 (memory) 어레이 (array) M A R Y를 구성한 상보 비트 (bit) 선은, 그림의 원쪽에 있어 센스안풀 S A에 결합되고, 이것을 이용해 8 쌍씩 선택적에 상보 광통 데이터 (data) 선 C D 0 * ~ C D 7 * (여기에서 * 를 들면 비반전 광통 데이터 (data) 선 C D 0 및 반전 광통 데이터 (data) 선 C D 0 B를, 합쳐서 상보 광통 데이터 (data) 선 C D 0 *의 (것)과 같이 * 를 (들) 봄이고 나타낸다. 또, 그것이 유효하다고 된다면 나무 선택적에 저레벨 (low level) 로 된 반전 신호등에 관해서는, 그 명칭의 말미에 B 를 봄이고 나타낸다. 이하 마찬가지)에 접속된다.

【0.0.1.6】 센스안풀 S A에는, Y 어드레스 (address) 디코더 (decoder) Y D로부터 도시되지 않는 소정 비트 (bit) 의 비트 (bit) 선 선택 신호가 공급됨과 동시에, 타이밍 (timing) 발생 회로 T G로부터 내부 제어 신호 P C 및 P A가 공급된다. 또, Y 어드레스 (address) 디코더 (decoder) Y D에는, Y 어드레스 (address) 버퍼 (buffer) Y B로부터 i + 1 비트 (bit) 의 내부 어드레스 (address) 신호 Y 0 ~ Y i 가 공급된다면 모두, 타이밍 (timing) 발생 회로 T G로부터 내부 제어 신호 Y D G가 공급된다. 또한, Y 어드레스 (address) 버퍼 (buffer) Y B에는, 외부의 액세스 (access) 장치로부터 어드레스 (address) 입력단 자 A 0 ~ A i 를 이용해 Y 어드레스 (address) 신호 A Y 0 ~ A Y i 가 시분할적에 공급됨과 동시에, 타이밍 (timing) 발생 회로 T G로부터 내부 제어 신호 Y L이 공급된다.

【0.0.1.7】 Y 어드레스 (address) 버퍼 (buffer) Y B는, 어드레스 (address) 입력단 자 A 0 ~ A i 를 이용하고 공급된 Y 어드레스 (address) 신호 A Y 0 ~ A Y i 를 내부 제어 신호 Y L에 따라 취입하고, 지지함과 동시에, 이러한 Y 어드레스 (address) 신호를 기초로 내부 어드레스 (address) 신호 Y 0 ~ Y i 를 형성하고, Y 어드레스 (address) 디코더 (decoder) Y D에 공급한다. 또, Y 어드레스 (address) 디코더 (decoder) Y D는, 내부 제어 신호 Y D G의 하이 (high) 레벨 (level) 을 받고 선택적에 동작 상태로 되고, 내부 어드레스 (address) 신호 Y 0 ~ Y i 를 디코드 (decode) 하고, 그 출력 신호인 비트 (bit) 선 선택 신호가 대응한 비트 (bit) 를 택일적에 하이 (high) 레벨 (level) 의 선택 상태라고 지난다.

【0.0.1.8】 센스안풀 S A는, 메모리 (memory) 어레이 (array) M A R Y의 각 상보 비트 (bit) 선에 대응하고 설치된 소정수의 단위 회로를 포함하고, 이러한 단위 회로의 각각은, 한 쌍의 C M O S 인버터 (Inverter) 가 교차 결합되고 된 단위 증폭 회로와, N 채널 (channel) 형의 3개의 프리 (free) 차지 (charge) M O S F E T가 직렬 결합되고 된 비트 (bit) 선 프리 (free) 차지 (charge) 회로와, N 채널 (channel) 형의 한 쌍의 스위치 (switch) M O S F E T와 블(들) 각각 포함한다. 이 중, 각 단위 회로의 단위 증폭 회로는, 내부 제어 신호 P A가 하이 (high) 레벨 (level) 로 된 것으로 선택적에 또한 일제히 동작 상태로 되고, 메모리 (memory) 어레이 (array) M A R Y의 선택 워드 (word) 선에 결합된 소정수의 메모리 (memory) 셀 (cell) 로부터 대응한 상보 비트 (bit) 선을 이용하고 출력된 미소 드류 신호를 각각 증폭하고, 내부 전원 전압 V D L일 것인 하이 (high) 레벨 (level) 또는 접지 전위 V S S일 것인 저레벨 (low level) 의 2차 드류 신호라고 지난다.

【0.0.1.9】 한편, 센스안풀 S A의 각 단위 회로의 비트 (bit) 선 프리 (free) 차지 (charge) 회로를 구성한 프리 (free) 차지 (charge) M O S F E T는, 내부 제어 신호 P C의 하이 (high) 레벨 (level) 을 받고 선택적에 또한 일제히 온 (on) 상태이 (가) 되고, 메모리 (memory) 어레이 (array) M A R Y가 대응한 상보 비트 (bit) 선의 비반전 및 반전 신호선을 내부 전원 전압 V D L의 2분의 1 즉 0. 9 V일 것인 중간 전위에 프리 (free) 차지 (charge) 지닌다. 또, 각 단위 회로의 스위치 (switch) M O S F E T들은, 비트 (bit) 선 선택 신호가 대응한 비트 (bit) 가 하이 (high) 레벨 (level) 로 된 것으로 8쌍씩 선택적에 온 (on) 상태이 (가) 되고, 메모리 (memory) 어레이 (array) M A R Y가 대응한 8 조의 상보 비트 (bit) 선과 상보 광통 데이터 (data) 선 C D 0 * ~ C D 7 * 외의 사이를 선택적에 접속 상태라고 지난다.

{0.0 2 0} 상보 공통 데이터 (data) 선 CD0 *~CD7 *은 ; 데이터 (data) 입출력 회로 I/O가 대응한 단위 회로에 결합된다. 이 데이터 (data) 입출력 회로 I/O에는 , 타이밍 (timing) 발생 회로 TG로부터 내부 제어 신호 WP 및 OC가 공급된다.

{0.0 2 1} 데이터 (data) 입출력 회로 I/O는 , 상보 공통 데이터 (data) 선 CD0 *~CD7 *에(로) 대응하고 설치된 8개의 단위 회로를 구비하고, 이러한 단위 회로의 각각은 , 라이트아

내부 및 메인안푸라면 마름다음에 데이터 (data) 입력 버퍼 (buffer) 및 데이터 (data) 출력 버퍼 (buffer) 를 포함한다. 이 중, 각 단위 회로를 구성한 라이토안푸의 출력 단자 및 메인안푸의 입력단자는, 대응한 상보 공통 데이터 (data) 선 C D 0 * ~ C D 7 *에(로) 각각 결합된다. 또, 각 단위 회로의 라이토안푸의 입력단자는, 대응한 데이터 (data) 입력 버퍼 (buffer) 의 출력 단자에 각각 결합되고, 각 단위 회로의 메인안푸의 출력 단자는, 대응한 데이터 (data) 출력 버퍼 (buffer) 의 입력단자에 결합된다. 각 단위 회로를 구성한 데이터 (data) 입력 버퍼 (buffer) 의 입력단자 및 데이터 (data) 출력 버퍼 (buffer) 의 출력 단자는, 대응한 데이터 (data) 입출력 단자 D 0 ~ D 7에 각각 결합된다.

【0.0.2.2】 데이터 (data) 입출력 회로 I/O의 각 단위 회로의 데이터 (data) 입력 버퍼 (buffer) 는, 다이나믹 (dynamic) 형 RAM이 기록하고 상태로 선택 상태로 된다면 나무, 데이터 (data) 입력단자 D 0 ~ D 7을 이용하고, 공급된 8 비트 (bit) 가 기록하고 데이터를 읽어들이고, 대응한 라이토안푸에 각각 전달한다. 이 때, 각 단위 회로의 라이토안푸는, 내부 제어 신호 W P의 하이 (high) 레벨 (level) 를 받고 선택적에 등작 상태이 (가) 되고, 대응한 데이터 (data) 입력 버퍼 (buffer)로부터 전달된 기록하고 데이터 (data) 를 각각 소정의 상보 기록 신호라고 한 후, 상보 공통 데이터 (data) 선 C D 0 * ~ C D 7 *로부터 센스안푸 S A를 이용하고 메모리 (memory) 어레이 (array) MARY 가 선택된 8 개의 메모리 (memory) 셀 (cell) 에 기록한다.

【0.0.2.3】 한편, 데이터 (data) 입출력 회로 I/O의 각 단위 회로의 메인안푸는, 다이나믹 (dynamic) 형 RAM이 팬택 모드 (mode)로 선택 상태로 된다면 나무, 메모리 (memory) 어레이 (array) MARY 가 선택된 8 개의 메모리 (memory) 셀 (cell)로부터 센스안푸 S A 및 상보 공통 데이터 (data) 선 C D 0 * ~ C D 7 *를 (를) 이용하고 출력된 2 치 득취 신호를 더욱 증폭하고, 대응한 데이터 (data) 출력 버퍼 (buffer)에 전달한다. 이 때, 각 단위 회로의 데이터 (data) 출력 버퍼 (buffer) 는, 내부 제어 신호 O C의 하이 (high) 레벨 (level) 를 받고 선택적에 등작 상태이 (가) 되고, 대응한 메인안푸로부터 전달된 득취 데이터 (data) 를 더욱 증폭한 후, 데이터 (data) 입출력 단자 D 0 ~ D 7를 이용하고 외부의 액세스 (access) 장치에 출력한다.

【0.0.2.4】 타이밍 (timing) 발생 회로 T G는, 외부의 액세스 (access) 장치로부터 시동 제어 신호로서 공급된 웨스 (wax) 어드레스 (address) 스트로보 (stroboscope) 신호 R A S B, 컬럼 (column) 어드레스 (address) 스트로보 (stroboscope) 신호 C A S B 라면 마름다음에 라이트 이네이블 (write enable) 신호 W E B 를 기초로, 상기 각종의 내부 제어 신호들을 선택적에 형성하고, 다이나믹 (dynamic) 형 RAM의 각 부분에 공급한다.

【0.0.2.5】 이 실시 예의 다이나믹 (dynamic) 형 RAM은, 또한, 내부 전압 발생 회로 V G를 구비한다. 내부 전압 발생 회로 V G는, 외부 단자 V D D 및 V S S 를 이용하고 공급된 전원 전압 V D D (제 1 의 전압) 및 접지 전위 V S S 를 기초로, 내부 전원 전압 V D L (제 2 의 전압) 를 생성하고, 다이나믹 (dynamic) 형 RAM의 각 부분에 공급한다. 이 실시예에 있어, 전원 전압 V D D 는, 그 중심 전위가 예를 들면 2.5 V 로 되고, 그 전위 변동의 허용 범위는 그 10% 가장자리 유리± 0.25 V 로 된다. 또한, 내부 전압 발생 회로 V G의 구체적 구성등에 관해서는, 후에 상세히 설명한다.

【0.0.2.6】 그림 2에는, 그림 1의 다이나믹 (dynamic) 형 RAM에 포함된 내부 전압 발생 회로 V G (전압 발생 회로) 의 한 실시예의 블록 도화 나타나고, 그림 3에는, 그 한 실시예의 출력 특성도가 나타나고 있다. 또, 그림 4에는, 그림 2의 내부 전압 발생 회로 V G에 포함된 기준 전압 발생 회로 V R F G 의 한 실시예의 기본 구성도가 나타나고 있다. 이러한 그림을 기초로, 이 실시 예의 다이나믹 (dynamic), 형 RAM에 포함된 내부 전압 발생 회로 V G의 구조 및 동작의 개요에 관하여 설명하다. 또한, 이하의 기본 구성도 및 회로도에 있어, 그 채널 (channel), (백 (back) 게이트 (gate)) 부에 화살표가 부착된 MOSFET 는 P 채널 (channel) 형 (제 1 도전형) 으로 있고, 화살표가 부착되지 않는다면 N 채널 (channel) 형 (제 2 도전형) MOSFET 라고 구별하고 나타난다.

【0.0.2.7】 그림 2에 있어, 이 실시 예의 내부 전압 발생 회로 V G는, 모두 전원 전압 V D D 및 접지 전위 V S S 를 주된 등작 전원이라고 지나는 기준 전압 발생 회로 V R F G 라면 마름다음에 아날로그 (analog) 강압 회로 A V G (제 2 의 전위 제어회로) 및 디지털 (digital) 강압 회로 D V G (제 1 의 전위 제어회로) 를 구비한다. 이 중, 기준 전압 발생 회로 V R F G 는, 그림 4에 나타나도록, 그 소스 (sauce) 가 전원 전압 V D D에 결합되든지 개 그 게이트 (gate) 가 접지 전위 V S S에 결합된 것으로 정상적에 온 (on) 상태로 된 P 채널 (channel) 형 (제 1 도전형) 의 MOSFET P 1 과, 직렬 결합된 각각 3 개의 저항 R 1 ~ R 3 이라면 마름다음에 다이오드 (diode) 형 태의 N P N 형 바이폴러 (bipolar) 트랜지스터 (transistor) T 1 ~ T 3 과 (를) 포함하고, 전원 전압 V D D 및 접지 전위 V S S 를 기초로 1.8 V 의 기준 전압 V R E F 를 생성하고, 아날로그 (analog) 강압 회로 A V G 및 디지털 (digital) 강압 회로 D V G에 공급한다. 기준 전압 발생 회로 V R F G 를 구성한 저항 R 2 및 R 3 이라면 마름다음에 트랜지스터 (transistor) T 1 및 T 2 는, 대응한 퓨즈 (fuse) F 1 ~ F 4 가 절단된 것으로 선택적에 유효하다고 되고, 이것에 의하고 내부 전원 전압 V D L 의 전위 제어가 가능해진다.

【0.0.2.8】 한편, 내부 전압 발생 회로 V G의 아날로그 (analog) 강압 회로 A V G 는, 후술하는 바와 같이, 그 출력인 내부 전원 전압 V D L 과 기준 전압 V R E F 의 전위를 비교해 그 전위차에 발랐던 전위의 출력 신호를 생성한 차동 증폭 회로와, 이 차동 증폭 회로의 출력 신호를 그 전위에 의하고 양자화하고 소정의 비트 (bit) 의 MOSFET 제어 신호를 소정의 조합으로 선택적에 하이 (high) 레벨 (level) 또는 저레벨 (low level) 라고 지나는 아날로그 (analog) · 디지털 (digital) 변환 회로

라고, 전원 전압 공급 점 V_{DD} 및 내부 전원 전압 공급 점 V_{DL} 사이에 병렬 형태에 설치되고 대응한 MOSFET 제어 신호에 따라 선택적에 오프 (off) 상태 또는 온 (on) 상태로 된 다수의 전위 제어 MOSFET와 틀 (clamp) 포함하고, 전원 전압 V_{DD} 및 접지 전위 V_{SS}를 기초로, 역시 그 중심 전위가 1.8V로 된 내부 전원 전압 V_DL을 생성한다.

【0.0.3.0】 마닐로그 (analog) 강압 회로 AVG 및 디지털 (digital) 강압 회로 DVG에 의하고 생성된 내부 전원 전압 V_{DL}은, 전술과 같이, 메모리 (memory) 어레이 (array) MARRY 및 직접 주변 회로를 포함한 다이내믹 (dynamic) 형 RAM의 주된 논리 회로에 동작 전원으로서 공급된다.

【0.0.3.1】 과 글립대로, 내부 전원 전압 V_{DL}의 전위는, 그림 3에 굵은 점선으로 나타나도록, 이상적으로는, 전원 전압 V_{DD}가 1.8V이하로 된다 영역에 있어 전원 전압 V_{DD}와 동전위로 되기 위해 변화하고, 전원 전압 V_{DD}가 1.8V를 초과한 영역에서는, 목표 전위 즉 1.8V에 고정된다. 그러나, 실제로는, 전원 전압 V_{DD}가 1.8V를 초과한 영역에서도 그 전위가 부드럽게 변화하고, 전원 전압 V_{DD}의 사용 범위 즉 2.5V ± 0.25V의 영역내에 있어 그 전위 규정 즉 1.8V ± 0.2V를 충족시키는 것으로 되다. 또한, 내부 전원 전압 V_{DL}의 전위는, 다이내믹 (dynamic) 형 RAM의 액티브 (active) 상태에 있는다면 나무 상기 전위 규정을 충족시키는 것으로 되고, 다이내믹 (dynamic) 형 RAM의 스탠바이 (stand-by) 상태에 있는 때에는이나 약저하된다.

【0.0.3.2】 이 실시예에 있어, 마닐로그 (analog) 강압 회로 AVG를 구성한 전위 제어 MOSFET는, 후술하는 바와 같이, 중간적인 사이즈 (size) 로써 형성됨과 동시에, 그 게이트 (gate) 전위는, 대응한 차동 증폭 회로의 출력 신호를 받고 마닐로그 (analog) 과녁에 변화되고, 이것에 의하고 그 출력인 내부 전원 전압 V_{DL}의 전위도 마닐로그 (analog) 과녁에 말하자면 라니어 (linear) 하게 또한 비교적 천천히 제어된다. 한편, 디지털 (digital) 강압 회로 DVG를 구성한 다수의 전위 제어 MOSFET는, 각각 극히 작은 사이즈 (size) 로써 형성됨과 동시에 그 게이트 (gate)에 공급된 MOSFET 제어 신호는, 마닐로그 (analog) · 디지털 (digital) 변환 회로의 양자화 기능에 의하고 말하자면 디지털적에 형성된다. 이 때문에, 그 전위 제어도, 각 전위 제어 MOSFET를 선택적에 오프 (off) 상태 또는 온 (on) 상태라고 지나는 형태로 디지털 (digital)에 행해지고, 이것에 의하고 그 출력인 내부 전원 전압 V_{DL}의 전위도 미소한 스텝 (step) 로써 단계적에 또한 고속에 제어된다.

【0.0.3.3】 미상의 결과, 본 실시예로는, 다이내믹 (dynamic) 형 RAM의 극히 고집적화·대용량화 되고, 또 그 동작 전원이 상당히 저전압화 됨에도 불구하고, 2개의 강압 회로 즉 마닐로그 (analog) 강압 회로 AVG 및 디지털 (digital) 강압 회로 DVG의 동작 특성을 효과적에 조합시키고 내부 전원 전압 V_{DL}의 전위 제어가 원활하며 고속에 행해지고, 다이내믹 (dynamic) 형 RAM의 동작의 안정화 및 저비용화가 도모된다.

【0.0.3.4】 그림 5에는, 그림 2의 내부 전압 발생 회로 VG에 포함된 마닐로그 (analog) 강압 회로 AVG의 한 실시예의 기본 구성도화 나타나고, 그림 6에는, 그 한 실시예의 시스템 (system) 개념도가 나타나고 있다. 또, 그림 7에는, 그림 5의 마닐로그 (analog) 강압 회로 AVG의 제1의 실시 예의 회로도가 나타나고, 그림 8에는, 그 제2의 실시 예의 회로도가 나타나고 있다. 이러한 그림을 기초로, 내부 전압 발생 회로 VG에 포함된 마닐로그 (analog) 강압 회로 AVG의 구체적 구성 및 동작및 그 특징에 관하여 설명하다. 또한, 그림 7은, 그림 5의 마닐로그 (analog) 강압 회로 AVG의 차동 증폭 회로 DA1의 부분만을 구체적으로 개시한 것임기 위해(때문에), 그림 7에 관한 설명은 해당 부분에 관해서만 추가한다. 또, 그림 8의 마닐로그 (analog) 강압 회로 AVG는, 그림 7의 실시예를 기본적으로 답습한 것임기 위해(때문에), 그림 8에 관한 설명은, 그림 7과 다른 부분에 판해서만 추가한다.

【0.0.3.5】 그림 5에 있어, 마닐로그 (analog) 강압 회로 AVG는, 특히 제한되지 않는지만, 그 반전 입력단 자 -에(로) 기준 전압 VREF를 받는 차동 증폭 회로 DA1 (제 2의 차동 증폭 회로) 과, 그 게이트 (gate)에 차동 증폭 회로 DA1의 출력 신호 즉 제어 신호 V_C (제 2의 제어 신호) 를 받는 P 채널 (channel) 형의 전위 제어 MOSFET P2 (제 2의 전위 제어 MOSFET) 와 틀 (clamp) 포함하다. 또한, 이 실시 예의 다이내믹 (dynamic) 형 RAM은, 고집적화·대규모화가 나아가고, 비교적 큰 기억 용량을 갖지만, 마닐로그 (analog) 강압 회로 AVG의 공급 능력을 결정된 전위 제어 MOSFET P2는, 마닐로그 (analog) 강압 회로 AVG와 병렬 형태에 디지털 (digital) 강압 회로 DVG가 설치되고, 마닐로그 (analog) 강압 회로 AVG의 공급 능력의 부족분이 보충된다.

【0.0.3.6】 마닐로그 (analog) 강압 회로 AVG를 구성한 전위 제어 MOSFET P2의 소스 (sauce) 는, 전원 전압 공급 점 V_{DD} (제 1의 전압 공급 점)에 결합되고, 그 드레인 (drain)은, 마닐로그 (analog) 강압 회로 AVG의 출력 노드 (node) 즉 내부 전원 전압 공급 점 V_{DL} (제 2의 전압 공급 점)에 결합됨과 동시에, 차동 증폭 회로 DA1의 비반전 입력단 자 +에(로) 결합된다. 내부 전원 전압 공급 점 V_{DL}은, 또한 전위 제한용의 블리프 (clamp) 회로를 구성한 디미오드 (diode) 형태의 3개의 N 채널 (channel) MOSFET N1 ~ N3를 이용하고 접지 전위 V_{SS}에 결합됨과 동시에, 전위 안정화용의 용량 C1이라면 아름다움에 밀진 방지용의 위상 보상 회로를 구성한 저항 R4 및 용량 C2를 이용하고 접지 전위 V_{SS}에 결합된다. 말할 필요도 없고, 내부 전원 전압 공급 점 V_{DL}에는, 내부 전원 전압 V_{DL}의 부하이(가) 된 다이내믹 (dynamic) 형 RAM의 주된 논리 회로가 결합된다.

【0.0.3.7】 여기에서, 마닐로그 (analog) 강압 회로 AVG의 차동 증폭 회로 DA1은, 그림 7이 가늘은 점선내에 나타나도록, 차동 형태로 된 한 쌍의 N 채널 (channel) MOSFET N4 및 N5와, 이러한 MOSFET N4 및 N5의 드레인 (drain) 가장자리에 설치된 한 쌍의 P 채널 (channel) MOSFET P3 및 P4와 틀 (clamp) 포함한다. MOSFET P3 및 P4의 소 (saw)

스는, 전원 전압 VDD에 결합된다. 또, MOSFET P3의 게이트 (gate)는 그 드레인 (drain)에 결합될과 동시에, MOSFET P4의 게이트 (gate)에 결합된다. 이것에 의하고, MOSFET P3 및 P4는 다른바 미라 형태로 되고, 차동 MOSFET N4 및 N5에 대한 액티브 (active) 부하로서 작용한다.

【0.03.8】 한편, 차동 증폭 회로 DA1을 구성한 차동 MOSFET N4 및 N5의 공통 결합된 소스 (sauce)는 그 게이트 (gate)에 이네이블 (enable) 신호 EN을 받는 N 채널 (channel) 형의 구동 MOSFET N6를 이용하고 절지 전위 VSS에 결합된다. 차동 MOSFET N4의 게이트 (gate)는 차동 증폭 회로 DA1의 비반전 입력단 자+에(로) 되고 내부 전원 전압 공급 점 VDL에 결합되고, 차동 MOSFET N5의 게이트 (gate)는 그 반전 입력단 자-으로서 기준 전압 VREF가 공급된다. 차동 MOSFET N5 즉 MOSFET P4의 드레인 (drain)에 있어서 전위는 제어 신호 VC에서 전위 제어 MOSFET P2의 게이트 (gate)에 공급된다. 이것에 의하고, 차동 MOSFET N4 및 N5는 미네이블 (enable) 신호 EN이 하이 (high) 레벨 (level)로 되고 구동 MOSFET N6이 온 (on) 상태로 된 것으로 선택적으로 동작 상태이 (가) 되고, 기준 전압 VREF 및 내부 전원 전압 VDL의 전위를 비교하고, 그 전위차에 딸렸던 전위의 제어 신호 VC를 생성한다.

【0.03.9】 내부 전원 전압 VDL이 기준 전압 VREF보다 낮은 전위로 된다면 나무, 차동 증폭 회로 DA1으로는 차동 MOSFET N5의 컨덕턴스 (conductance) 가 차동 MOSFET N4보다(부터) 커지고, 이것을 받고 제어 신호 VC의 전위가 상승한다. 이 때문에, 전위 제어 MOSFET P2의 컨덕턴스 (conductance) 가 상승하고 작아지고, 이것을 받고 내부 전원 전압 VDL의 전위가 저하된다. 한편, 내부 전원 전압 VDL이 기준 전압 VREF보다(부터) 비싼 전위로 된다면 나무, 차동 증폭 회로 DA1으로는 차동 MOSFET N5의 컨덕턴스 (conductance) 가 차동 MOSFET N4보다(부터) 작아지고, 이것을 받고 제어 신호 VC의 전위가 낮아진다. 이 때문에, 전위 제어 MOSFET P2의 컨덕턴스 (conductance) 가 상승하고 커지고, 내부 전원 전압 VDL의 전위가 상승한다. 이상의 결과, 내부 전원 전압 VDL의 전위는 기준 전압 VREF를 향하고 자동적으로 수렴하고, 그 중심 전위는 기준 전압 VREF의 전위 1.8V이 (가) 된다.

【0.04.0】 과 글림대로, 아날로그 (analog) 강압 회로 AVG를 시스템 (system)로서 보았던 경우, 구성요소이 (가) 된 차동 증폭 회로 DA1은 그림 6에 나타나도록, 기준 전압 VREF 및 내부 전원 전압 VDL을 받는 감산기와, s 평면상의 전달 함수 A (s)를 갖는 회로망으로 표시된다. 또, 전위 제어 MOSFET P2는, 동일하게 s 평면상의 전달 함수 B (s)를 갖는 회로망으로서 표시되고, 전위 안정화용의 용량 C1이나 저항 R4 및 용량 C2로 된 위상 보상 회로를 포함한 귀환 경로는, 역시 s 평면상의 전달 함수 H (s)를 갖는 회로망으로서 표시된다. 즉, 아날로그 (analog) 강압 회로 AVG의 경우, 시스템 (system)를 구성한 회로망의 전부가 s 평면상의 전달 함수를 갖다역이고, 이것이 고로 일부 전원 전압 VDL의 비교적 급속한 전위 변화들을 받고 발진 상태이 (가) 되기 쉽고, 발진 방지를 위한 위상 보상 회로가 필요해지고 도려낸다.

【0.04.1】 한편, 다이나믹 (dynamic) 형 RAM의 동작 전원은 또한 저전압화 된 기미를 보이고, 전원 전압 VD 및 내부 전원 전압 VDL 사이의 전위차는 또한 작아지는 경향에 있다. 이 때문에, 아날로그 (analog) 강압 회로 AVG를 구성한 전위 제어 MOSFET P2의 소스 (sauce) 드레인사이 전압이 작아지고, 그 공급 능력에 부족이 생긴다. 이것에 대처하기 위해(때문에), 그림 8의 실시예로는, 차동 증폭 회로 DA1의 출력 신호 즉 제어 신호 VC를 직접 전위 제어 MOSFET P2의 게이트 (gate)에 공급하지 않고, 미라 형태의 N 채널 (channel) MOSFET N7 및 N8과 동시에 액티브 (active) 회로를 구성한 P 채널 (channel) MOSFET P5를 이용하고 공급하고, 공급 능력을 높이고 있다.

【0.04.2】 그림 9에는, 그림 2의 내부 전압 발생 회로 VG에 포함된 디지털 (digital) 강압 회로 DVG의 제1의 실시 예의 기본 구성도가 나타나고, 그림 10에는, 그 한 실시예의 시스템 (system) 개념도가 나타나고 있다. 또, 그림 11에는, 그림 9의 디지털 (digital) 강압 회로 DVG의 한 실시예의 회로도가 나타나고, 그림 12에는 그림 9의 디지털 (digital) 강압 회로 DVG에 포함된 양자화 인버터 (Inverter)의 한 실시예의 동작 특성도가 나타나고 있다. 이러한 그림을 기초로, 이 실시 예의 내부 전압 발생 회로 VG에 포함된 디지털 (digital) 강압 회로 DVG의 구체적 구성 및 동작 및 그 특징에 관하여 설명한다.

【0.04.3】 그림 9에 있어, 디지털 (digital) 강압 회로 DVG는 특히 제한되지 않는지만, 그 반전 입력단 자-에(로) 기준 전압 VREF를 받는 차동 증폭 회로 DA2 (제1의 차동 증폭 회로) 와, 차동 증폭 회로 DA2의 출력 신호를 받는 아날로그 (analog) 디지털 (digital) 변환 회로 A/D 와, 그 게이트 (gate)에 아날로그 (analog) 디지털 (digital) 변환 회로 A/D의 출력 신호 즉 대응한 MOSFET 제어 신호 MC1~MCn (제1의 제어 신호)를 받는 n 개의 전위 제어 MOSFET P11~P1n (제1의 전위 제어 MOSFET) 와 (를) 포함하다. 또한, 전위 제어 MOSFET P11~P1n의 개수 n는 예를 들면 100 정도의 비교적 큰 수로 되고, 전위 제어 MOSFET의 각각은 충분히 작은 컨덕턴스 (conductance)를 갖기 위해 극히 작은 사이즈 (size)로써 형성된다.

【0.04.4】 디지털 (digital) 강압 회로 DVG를 구성한 전위 제어 MOSFET MC1~MCn의 소스 (sauce)는 전원 전압 VDD에 결합된다. 또, 그 드레인 (drain)는 디지털 (digital) 강압 회로 DVG의 출력 노드 (node) 즉 내부 전원 전압 공급 점 VDL에 공통 결합된 후, 차동 증폭 회로 DA2의 비반전 입력단 자+에(로) 결합된다. 내부 전원 전압 공급 점 VDL은 또한 전위 안정화용의 용량 C3과 전위 제한용의 클램프 (clamp) 회로를 구성한 다이오드 (diode) 형태의 3개의 N 채널 (channel) MOSFET N1~N3과 (를) 이용하고 절지 전위 VSS에 결합된다. 내부 전원 전압 공급 점 VDL에는 내부 전원 전압 VDL의 부하이 (가) 된 다이나믹 (dynamic) 형 RAM의 주된 논리 회로도 결합된다.

【0.0 4.5】 여기에서, 디지털(digital) 강압 회로 DVG의 마날로그(analog) · 디지털(digital) 변환 회로 A/D는, 특히 제한되지 않는지만, 그림 1.1에 가들은 절선내에 나타나도록, 그 입력단자에 차동 증폭 회로 DA 2의 출력 신호를 공통에 받는 n 개의 양자화 인버터(inverter) V11~V1n와, 이러한 양자화 인버터(inverter)의 출력 신호를 반전하고 상기 MOSFET 제어 신호 MC1~MCn라고 지나는 인버터(inverter) V21~V2n와 을(을) 포함한다.

【0.0 4.6】 이 실시예에 있어, 마날로그(analog) · 디지털(digital) 변환 회로 A/D의 양자화 인버터(inverter) V11~V1n는, 그림 1.2에 나타나도록, 예를 들면 0.5V로부터 2.0V의 사이를 n분 할해 0.5V에 쟁아올리는 것 같았던 단계적 임계치 전압 Vth를 갖기 위해 설계된다. 또, 차동 증폭 회로 DA 2의 출력 신호는, 그 전위가, 상기 차동 증폭 회로 DA 1의 경우와 마찬가지로, 기준 전압 VREF와 내부 전원 전압 VDL과의 사이의 전위차에 따르고 제어되고, 내부 전원 전압 VDL의 전위가 기준 전압 VREF보다 낮아지는 때 따르고 낮게 되고, 높아지는 때 따르고 높게 된다. 또한, 내부 전원 전압 VDL과 기준 전압 VREF가 동 전위인 경우에 대응한 차동 증폭 회로 DA 2의 출력 신호의 전위는, 예를 들면 양자화 인버터(inverter) V1~V1n의 임계치 전압의 분포 범위, 즉 0.5V~2.0V의 중간에 설정된다.

【0.0 4.7】 내부 전원 전압 VDL이 기준 전압 VREF보다(부터) 충분히 낮은 전위로 된다면 나무, 디지털(digital) 강압 회로 DVG로는, 차동 증폭 회로 DA 2의 출력 신호의 전위가 그 전위차에 따르고 낮아진다. 이 때문에, 마날로그(analog) · 디지털(digital) 변환 회로 A/D의 양자화 인버터(inverter) V1~V1n의 출력 신호가, 그 추번 순서로 순차적으로 하이(high) 레벨(level) 미(가) 되고, MOSFET 제어 신호 MC1~MCn가 대응한 조합으로 동시에 저레벨(low level) 미(가) 되고, 전위 제어 MOSFET P11~P1n가 대응한 조합으로 동시에 온(on) 상태이(가) 된다. 이 결과, 내부 전원 전압 VDL의 전위가 기준 전압 VREF보다 낮아지는 때 따르고 온(on) 상태이(가) 된 전위 제어 MOSFET P11~P1n의 수가 많아지고, 이 것에 의하고 내부 전원 전압 VDL의 전위가 상승한다.

【0.0 4.8】 한편, 내부 전원 전압 VDL이 기준 전압 VREF보다(부터) 비싼 전위로 된다면 나무, 디지털(digital) 강압 회로 DVG로는, 차동 증폭 회로 DA 2의 출력 신호의 전위가 그 전위차에 따르고 상승한다. 이 때문에, 양자화 인버터(inverter) V11~V1n의 출력 신호가, 그 추번의 역순으로 순차적으로 저레벨(low level) 미(가) 되고, 대응한 MOSFET 제어 신호 MC1~MCn가 하이(high) 레벨(level) 미(가) 되고, 전위 제어 MOSFET P11~P1n가 대응한 조합으로 오프(off) 상태에 변화한다. 이 결과, 내부 전원 전압 VDL의 전위가 기준 전압 VREF보다(부터) 높아지는 때 따르고 온(on) 상태이(가) 된 전위 제어 MOSFET P11~P1n의 수가 적어지고, 내부 전원 전압 VDL의 전위는 저하된다. 이상의 내용으로부터, 내부 전원 전압 VDL의 전위는 기준 전압 VREF를 향하고 자동적으로 수습하고, 그 중심 전위는 기준 전압 VREF의 전위 1.8V미(가) 된다.

【0.0 4.9】 전술과 같이, 전위 제어 MOSFET P11~P1n의 각각은, 작은 컨덕턴스(conductance)를 갖기 위해 극히 작은 사이즈(size)로 설계되고, 상용해 그 게이트(gate) 용량도 작다. 또, 이러한 전위 제어 MOSFET를 선택적에 온(on) 상태와 하기 위한 MOSFET 제어 신호 MC1~MCn는, 전원 전압 VDD를 하이(high) 레벨(level)로 하고 접지 전위 VSS를 저레벨(low level)라고 지나는 디지털(digital) 신호이고, 상기 마날로그(analog) 강압 회로 AVG의 전위 제어 MOSFET 2의 게이트(gate)에 공급된 제어 신호 VCG라고는 다르고 전원 전압 VDD 및 접지 전위 VSS 사이의 중간 전위를 받는 것은 없다. 이러한 결과, 디지털(digital) 강압 회로 DVG에 의한 내부 전원 전압 VDL의 전위 제어 제동작이, 전위 제어 MOSFET P11~P1n의 게이트(gate) 용량의 영향을 받는 일 없게 고속에 행해짐과 동시에, 내부 전원 전압 VDL 및 전원 전압 VDD 사이의 전위차가 적이진 경우에도, 전위 제어 MOSFET P11~P1n의 게이트(gate) · 소스(sauce) 사이에 충분한 전압을 인가하고, 그 공급 능력을 크게 하고 있고, 디지털(digital) 강압 회로 DVG로서의 공급 능력을 높인 것을 할 수 있다. 또한, 전위 제어 MOSFET P11~P1n의 사이즈(size)가 극히 작게 된다 것 으로, 디지털(digital) 강압 회로 DVG의 레이아웃(layout) 소요 면적이 축소되기 위해(때문에), 이것에 의하고 디마내믹(dynamic) 형 RAM의 칩(chip) 사이즈(size)를 축소하고, 그 저비용화를 도모한 것을 할 수 있는 것이(가) 된다.

【0.0 5.0】 과 글림대로, 디지털(digital) 강압 회로 DVG를 시스템(system)로서 보았던 경우, 구성요소미(가) 된 차동 증폭 회로 DA 1은, 그림 1.0에 나타나도록, 기준 전압 VREF 및 내부 전원 전압 VDL을 받는 평면상의 전달 합수A(s)를 갖는 회로망으로 표시된다. 또, 전위 안정화용의 용량 C1이나, 기생 저항을 포함한 귀환 경로도, 역시 s 평면상의 전달 합수H(s)를 갖는 회로망으로서 표시된다. 그러나, 양자화 회로미(가) 된 마날로그(analog) · 디지털(digital) 변환 회로 A/D는, 디지털(digital) 회로가 고로 미분바 평면상의 디지털(digital) 적인 전달 합수Q()를 갖는 회로망으로 표시되고, MOSFET 제어 신호 MC1~MCn에 따라 선택적에 온(on) 상태 또는 오프(off) 상태로 된 전위 제어 MOSFET P11~P1n도, 평면상의 디지털(digital) 적인 전달 합수B()를 갖는 회로망으로서 표시된다. 즉, 디지털(digital) 강압 회로 DVG의 경우, 마날로그(analog) 적인 s 평면상의 전달 합수를 갖는 회로망과 디지털(digital) 적인 평면상의 전달 합수를 갖는 회로망이 시스템(system)에 존재하다역이고, 마날로그(analog) 강압 회로 AVG일 것인 발전의 위험성이 없어지고, 위상 보상 회로는 불필요하다고 된다.

【0.0 5.1】 그림 1.3에는, 그림 2의 내부 전압 발생 회로 VG에 포함된 디지털(digital) 강압 회로 DVG의 제2의 실시 예의 기본 구성도가 나타나고 필요하다. 또한, 이 실시 예의 디지털(digital) 강압 회로 DVG는, 상기 도 9의 실시예를 기본적으로 답습한 것이기 위해(때문에), 이것과 다른 부분에 관해서만 설명을 추가한다.

【0.0 5.2】 그림 1.3에 있어, 이 실시 예의 디지털(digital) 강

입회로 DVG는, 전위 제어 MOSFET P11~P1n에 대응하고 설치된 n 개의 차동 증폭 회로 DA31~DA3n을 포함한 아날로그(analog)·디지털(digital) 변환 회로 A/D와, 직렬 결합된 n+1 개의 저항 R10~R1n로 된 기준 전압 발생 회로와 음(음) 포함한다.

[0.05.3] 이 실시예에 있어, 기준 전압 발생 회로를 구성한 저항 R10~R1n은, 특히 작게 하고 전부 동일한 저항치를 갖도록 설계된다. 또, 최상단에 설치된 저항 R10의 상부 단자는, 그 게이트(gate)에 접지 전위 VSS를 받는 P 채널(channel) MOSFET P21을 이용하고 전원 전압 VDD에 결합되고, 최하단에 설치된 저항 R1n의 하인 단자는, 그 게이트(gate)에 전원 전압 VDD를 받는 N 채널(channel) MOSFET N21을 이용하고 접지 전위 VSS에 결합된다. 이것이 의하고, MOSFET P21 및 N21은 정상적에 온(on) 상태로 되고, 저항 R11~R1n의 상부 단자에는, 특히 작은 전위차를 갖는 n 단계의 기준 전압을 얻을 수 있다. 이러한 기준 전압은, 아날로그(analog)·디지털(digital) 변환 회로 A/D를 구성한 차동 증폭 회로 DA31~DA3n의 반전 입력단 자-에(로) 각각 공급된다.

[0.05.4] 아날로그(analog)·디지털(digital) 변환 회로 A/D의 차동 증폭 회로 DA31~DA3n의 비반전 입력단 자+은, 내부 전원 전압 공급 점 VDL에 공통 결합되고, 그 출력 신호는, 대응한 2개의 인버터(inverter) V31 및 V41 내지 V3n 및 V4n를 거친 후, 전위 제어 MOSFET P11~P1n에 대한 MOSFET 제어 신호 MC1~MCn(가) 된다. 또한, 인버터(inverter) V31~V3n라면 마름다움에 V41~V4n는, 전부 동일한 논리 스레시홀드레벨로 되기 위해 설계된다.

[0.05.5] 이것에 의하고, MOSFET 제어 신호 MC1~MCn는, 대응한 차동 증폭 회로 DA31~DA3n의 출력 신호가 저레벨(low level)로 된다면 나무, 즉 내부 전원 전압 공급 점 VDL에 있어서 내부 전원 전압 VDN의 전위가 대응한 차동 증폭 회로 DA31~DA3n의 반전 입력단 자-에(로) 공급된 기준 전압보다 낮는다면 나무, 각각 선택적에 저레벨(low level)로 되고, 이것을 받고 전위 제어 MOSFET P11~P1n가, 그 축번의 큰 것으로부터 순서로 선택적에 온(on) 상태로 된다. 이 결과, 이 실시예라도, 상기 도 9의 실시예와 동일한 효과를 얻을 수 있기 위해(때문에), 전원 전압 및 내부 전원 전압의 절대치가 비교적 작게 된다 경우에도 고속인 통신에 만정에 동작하든지 개 그 레이아웃(layout) 소요 면적의 축소를 도모한 전압 발생 회로를 실현하고, 다이내믹(dynamic) 형 RAM의 동작의 안정화 및 저비용화를 도모한 것을 알 수 있다.

[0.05.6] 그림 14에는, 그림 2의 내부 전압 발생 회로 VG에 포함된 디지털(digital) 강압 회로 DVG의 제3의 실시 예의 기본 구성도가 나타나고, 그림 15에는, 그 한 실시예의 출력 특성도가 나타나고 필요하다. 또한, 이 실시예는, 상기 도 9의 실시예를 기본적으로 답습한 것이기 위해(때문에), 이것과 다른 부분에 관해서만 설명을 주기한다.

[0.05.7] 그림 14에 있어, 이 실시 예의 디지털(digital) 강압 회로 DVG는, 내부 전원 전압 공급 점 VDL과 접지 전위 VSS와의 사이에 직렬 결합되고에(로) 설치된 2개의 N 채널(channel) MOSFET TN14 및 N15를 포함한다. 이러한 MOSFET는, 그 게이트(gate) 및 드레인(drain) 가 공통 결합된 것으로 각각 다이오드(diode) 형태로 되기 위해(때문에), 그 컨덕턴스(conductance) 비로써 내부 전원 전압 공급 점 VDL에 있어서 내부 전원 전압 VDL의 전위를 분압 회로로서 작용한다. MOSFET TN14의 소스(souce) 즉 MOSFET TN15의 드레인(drain)에 있어서 분압 전위는, 귀환 전압 VF(제3의 전압)로서 차동 증폭 회로 DA2의 비반전 입력단 자-에(로) 공급된다. 차동 증폭 회로 DA2의 반전 입력단 자-기에는, 기준 전압 발생 회로 VRFF 비반전 입력단 자-에(로) 공급된다. 차동 증폭 회로 DA2의 반전 입력단 자-기에는, 기준 전압 VRFF는, 상기 도 9의 차동 증폭 회로 DA2에 공급된 기준 전압 VRFF에 비교하고, MOSFET TN14 및 N15에 의한 내부 전원 전압 VDL의 분압비에 상응한 작은 절대치로 된다.

[0.05.8] 다이내믹(dynamic) 형 RAM의 저전압화가 악화되고 전원 전압 VDD 및 내부 전원 전압 VDL 사이의 전위차가 작아지고 있는 경우, 기준 전압 VRFF와 내부 전원 전압 VDL의 전위를 직접 비교한 상기 도 9의 디지털(digital) 강압 회로 DVG로는, 특히 내부 전원 전압 VDL의 전위가 기준 전압 VRFF보다(부터) 비싼 가장자리로의 조정 범위 즉 다이내믹(dynamic) 레인지(range) 가 작아지고, 디지털(digital) 강압 회로 DVG로서의 다이내믹(dynamic) 레인지(range) 도 압축된다. 이 실시 예와 같이, 내부 전원 전압 VDL을 분압한 귀환 전압 VF라고 상용해 그 전위가 작게 되었던 기준 전압 VRFF의 전위를 비교한 것으로, 디지털(digital) 강압 회로 DVG의 다이내믹(dynamic) 레인지(range) 를 충분히 확대할 수 있고, 이것에 의하고, 다이내믹(dynamic) 형 RAM의 동작을 더욱 안정화될 수 있는 것이(가) 된다.

[0.05.9] 와 골링대로, 이 실시 예의 디지털(digital) 강압 회로 DVG라면 마름다움에 상기 도 9 및 그림 12의 실시 예의 디지털(digital) 강압 회로 DVG로는, 차동 증폭 회로 DA2에 의한 기준 전압 VRFF와 내부 전원 전압 VDL의 전위 비교 동작이 평상시 행해지고, 그 실질적인 출력 신호 즉 MOSFET 제어 신호 MC1~MCn에 의한 전위 제어 MOSFET P11~P1n가, 특히 전원 전압 VDD의 전위가 그 사용 범위의 하한 즉 예를 들면 2.25V에 변동한 경우에 대응할 수 있기 위해, 비교적 큰 공급 능력을 갖도록 설계됨과 동시에, 차동 증폭 회로 DA2나 전위 안정화용의 용량 C3을 포함한 귀환 경로에는, 어느 정도의 용답 지연이 존재한다.

[0.06.0] 이 때문에, 그림 15에 예시되도록, 내부 전원 전압 공급 점 VDL에 있어서 부하 전류의 크기가 급속하게 변화한 경우, 응답 지연을 그대로 라고 가정으면, 특히 전원 전압 VDD의 전위가 그 사용 범위의 상한 즉 예를 들면 2.75V에 가깝는다면 나무에 전위 제어 MOSFET P11~P1n의 공급 능력이 과잉이(가) 되고, 이 것에 의하고 안

부 전원 전압 VDL의 전위가 그 허용 범위를 초과한 케이스 (case) 가 생긴다.

[0061] 그림 16에는, 그림 2의 내부 전압 발생 회로 V_G에 포함된 디지털(digital) 강압 회로 DVG의 제4의 실시 예의 기본 구성도가 나타나고 있다. 또, 그림 17에는, 그림 16의 디지털(digital) 강압 회로 DVG의 한 실시예의 회로도가 나타나고, 그림 18에는, 그 한 실시예의 신호 파형 도화 나타나고 필요하다. 또한, 이하의 실시예는, 상기 도 14의 실시예를 기본적으로 답습하고, 게다가기 문제점을 해결하기 위한 수단을 가리키는 것이기 위해(때문에), 이것과 다른 부분에 관해 서면 각각의 설명을 추가한다.

[0062] 그림 16에 있어, 이 실시 예의 디지털(digital) 강압 회로 DVG는, 소정의 팔스 신호 CO를 생성한 팔스 발생 회로 POSC와, 입력 팔스 신호 즉 팔스 발생 회로 POSC에 의하고 생성된 팔스 신호 CO의 듀티(duty)를 제어하고 출력 팔스 신호 CC를 생성한 듀티(duty) 제어회로 DC와 읍(음) 포함한다. 듀티(duty) 제어회로 DC에 의하고 생성된 출력 팔스 신호 CC는, 마날로그(analog)·디지털(digital) 변환 회로 AD에 공급된다. 또한, 팔스 발생 회로 POSC에 의하고 생성된 팔스 신호 CO는, 특히 제한되지 않는지만, 예를 들면 100MHz(메가헤르츠(megahertz))를 초과한 비교적 비싼 주파수를 갖는 듀티(duty) 50%정도의 팔스 신호로 된다.

[0:0.6.3] 여기에서, 팔스 발진 회로 POSC는, 그림 1-7에 나타나도록, 내부 전원 전압 VDL을 동작 전원으로 하고 링상에 직렬 결합된 3개의 인버터(inverter) V51~V53를 포함한다. 또, 듀티(duty) 제어회로 D는, 그 한번의 입력단자에 팔스 발진 회로 POSC의 출력 신호 즉 팔스 신호 CO를 받고, 그 밖에 병의 입력단자에 팔스 신호 CO의 인버터(Inveter) V61~V64에 의한 지연 신호 CD를 받는 난도(NAND) 게이트(gate) NA1을 포함한다. 난도게이트 NA1의 출력 신호는 인버터(Inveter) V1에 의하고 반전된 후, 듀티(duty) 제어회로 DC의 출력 신호 즉 출력 팔스 신호 CC0이(가) 된다. 또한, 듀티(duty) 제어회로 DC의 지연 회로를 구성한 인버터(Inveter) V61~V64는, 전원 전압 VDD를 그 동작 전원이라 고 지낸다.

[0064] 다음에, 아날로그 (analog) · 디지털 (digital) 변환 회로 A/D는, 특히 제한되지 않는지만, 전위 제어 MOSFET P11~P1n에 대응하고 설치된 n 개의 노마 (Noah) (NOR) 게이트 (gate) NO11~NO1n라면 아름다움에 인버터 (Inverter) V71~V7n를 포함한다. 노마 (Noah) 게이트 (gate) NO11~NO1n의 한편의 입력단자에는, 뉴티 (duty) 제어회로 DC의 출력 신호 즉 출력 팔스 신호 C/C가 공급되고, 그 밖에 방의 입력단자에는, 차동 증폭 회로 DA2의 출력 신호가 공통에 공급된다. 아날로그 (analog) · 디지털 (digital) 변환 회로 A/D를 구성한 인버터 (Inverter) V71~V7n의 출력 신호는, MOSFET 제어 신호 MC1~MCn로서 대응한 전위 제어 MOSFET P11~P1n의 게이트 (gate)에 공급된다. 전위 제어 MOSFET P11~P1n의 소스 (sauce)는, 전원 전압 VDD에 결합되고, 그 드레인 (drain)은, 내부 전원 전압 공급 점 VDL에 공통 결합된다. 또한, 노마 (Noah) 게이트 (gate) NO11~NO1n은, 그 특히 차동 증폭 회로 DA2의 출력 신호를 받는 입력단자측에 있어, 상기 도 10의 실시 예의 양자화 인버터 (Inverter) V11~V1n와 마찬가지로 예를 들면 0.5V로부터 2.0V의 사이를 n분할해 0.5V에 쌓아올리는 것 같았던 단계적 임계치 전압을 갖기 위해 설계된다.

[0.065] 이것에 의하고, MOSFET 제어 신호 M_{C1} ~ M_{Cn}는, 대응한 노마 (Noah) 게이트 (gate) N_{O1} ~ N_{On}의 출력 신호가 하이 (high) 레벨 (level)로 된다면 나무, 바구이 말한다면 듀티 (duty) 제어회로 D_C로부터 공급된 출력 팔스 신호 C_C가 저레벨 (low level)로 되고, 또한 차동 증폭 회로 D_{A2}의 출력 신호의 전위가 그 임계치 전압보다도 낮은 것을 조건에 선택적에 접지 전위 V_{SS}일 것인 저레벨 (low level)로 되고, 이것을 받고 대응한 전위 제어 MOSFET P₁₁ ~ P_{1n}가 선택적에 온 (on) 상태로 된다. 이 결과, 내부 전원 전압 V_{D1}의 전위는 기준 전압 V_{REF}를 향하고 자동적으로 수렴하고, 그 중심 전위는 기준 전압 V_{REF}의 전위 1.8V이(가) 된다.

[0.0 6.6] 과 골림대로, 이 실시예로는, 전술과 같이, 팔스 밭진 회로 POSC의 인버터(inverter) V51~V53이 내부 전압 발생 회로 VG로부터 출력된 비교적 안정된 전위의 내부 전원 전압 VDL을 그 동작 전원이라 고 지닌다. 따라서 팔스 밭진 회로 POSC로부터 출력된 팔스 신호 C0은, 그림 18에 나타나도록, 전원 전압 VDD의 전위 변동에 관계없이 비교적 안정된 주기 TC를 갖고, 그 유효 레벨(level) 즉 저레벨(low level)로 된 기간 T1도 주기 TC의 반 정도에 안정화되어지다.

[0'0 6'7] 한편, 둑티(duty) 제이회로 D C의 실질적인 지연 회로이(가) 된 인버터(Inveter) V 6'1 ~ V 6'4 는, 외부에서 공급된 전원 전압 V DD를 그대로 그 동작 전원이라고 지나기 위해(때문에), 그 지연 시간은, 그럼 1'8에 나타나도록, 전원 전압 V DD의 전위에 따르고 선택적에 변화한다. 즉, 인버터(Inveter) V 6'1 ~ V 6'4로 된 지연 회로의 지연 시간은, 전원 전압 V DD의 전위가 그 규격내의 중심치 즉 2.5V로 된다면 나무 표준적 인 지연 시간 T D 2미(가) 되지만, 전원 전압 V DD의 전위가 높아지고 게다가 한치에 균접한다면 비교적 짧은 지연 시간 T D 1미(가) 되고, 전원 전압 V DD의 전위가 낮아지고 그 하한치에 균접한다면 비교적 긴 지연 시간 T D 3미(가) 된다.

[006B] 주지와 같이, 듀티(duty) 제어회로 DC를 구성한 난도개토NA1의 출력 신호는, 팔스 밀진 회로 P OSC로부터 공급된 팔스 신호 CO와 그 인버터(inverter) V61~V64에 의한 지연 신호 CD가 모두 하이(high) 레벨(level)로 된다면 나무 선택적 저레벨(low level)로 되고, 이것을 받고 듀티(duty) 제어회로 D의 출력 신호 즉 출력 팔스 신호 CC가 선택적에 하이(high) 레벨(level)로 된다. 이 때문에, 듀티(duty) 제어회로 DC로부터 출력된 출력 팔스 신호 CC가 유효 레벨(level) 즉 저레벨(low level)로 된 기간은, 전원 전압 VDD의 전위가 중심치 즉 2.5V로 된다면 나무 중간적인 기간 T201(가) 되지만, 전원 전압 VDD의 전위가

높아진다면 비교적 짧은 기간 T1이(가) 되고, 전원 전압 VDD의 전위가 낮아진다면 비교적 길은 시간 T3이(가) 된다.

【0.06.9】 중복하지만, 아날로그(analog) · 디지털(digital) 변환 회로 A/D로부터 출력된 MOSFET 제어 신호 MC1~MCn은, 뉴티(duty) 제어회로 DC로부터 출력된 힐터 팔스 신호 CC가 유효 레벨(level) 즉 저레벨(low level)로 된 것을 조건에 선택적에 유효 레벨(level) 즉 하이(high) 레벨(level)로 된다. 상기와 같이, 힐터 팔스 신호 CC의 유효 레벨(level)로 된 기간이 전원 전압 VDD의 전위 변동을 받고 변화한 것으로, 바꾸어 말한다면 힐터 팔스 신호 CC의 유효 레벨(level)로 된 기간이 전원 전압 VDD의 전위가 그 허용 범위의 상한에 근접한 정도 단축된 것으로, MOSFET 제어 신호 MC1~MCn의 유효 레벨(level)로 된 평균 시간이 짧아지고, 내부 전원 전압 VDL의 전위 상승이 늦어진다. 이 결과, 전원 전압 VDD가 그 허용 범위의 상한측에 변동한 경우에도, 전위 제어 MOSFET P11~P1n의 공급 능력이 이상하게 커지고 내부 전원 전압 VDL의 전위가 그 허용 범위로부터 벗어나는 것을 방지할 수 있기 위해(때문에), 다이내믹(dynamic) 형 RAM의 동작을 더욱 안정화될 수 있는 것이(가) 된다.

【0.07.0】 그림 1.9에는, 그림 2의 내부 전압 발생 회로 VG에 포함된 디지털(digital) 강압 회로 DVG의 제5의 실시 예의 기본 구성도가 나타나고, 그림 2.0에는, 그 한 실시 예의 회로도가 나타나고 있다. 또, 그림 2.1에는, 그림 2의 내부 전압 발생 회로 VG에 포함된 디지털(digital) 강압 회로 DVG의 제3의 실시 예의 기본 구성도가 나타나고 필요하다. 또한, 그림 1.9 및 그림 2.0의 실시 예는, 상기 도 1.6 내지 그림 1.8의 실시 예를 기본적으로 답습하고, 그림 2.1의 실시 예는, 그림 1.9 및 그림 2.0의 실시 예를 기본적으로 답습한 것이기 위해(때문에), 각각 다른 부분에 관해서만 그 설명을 추가한다.

【0.07.1】 그림 1.9에 있어, 미 실시 예의 디지털(digital) 강압 회로 DVG는, 그 게이트(gate)에 아날로그(analog) · 디지털(digital) 변환 회로 A/D가 대응한 힐터 팔스 신호 즉 MOSFET 제어 신호 MC1~MCn을 받는 n 개의 전위 제어 MOSFET P11~P1n를 포함한다. 이러한 전위 제어 MOSFET의 소스(sauce)는, P 채널(channel) MOSFET P31(제1의 MOSFET)의 드레인(drain)에 공통 결합되고, 그 드레인(drain)은, 내부 전원 전압 VDL에 결합된다. 또, 상기 MOSFET P31의 소스(sauce)는 전원 전압 VDD에 결합되고, 그 게이트(gate)에는, 뉴티(duty) 제어회로 DC의 힐터 팔스 신호 CC가 공급된다.

【0.07.2】 미 실시 예에 있어, 아날로그(analog) · 디지털(digital) 변환 회로 A/D는, 그림 2.0에 나타나도록, 상기 도 1.1의 실시 예와 동일 구성으로 되고, 전위 제어 MOSFET P11~P1n에 대응하고 설치된 n 개의 양자화 인버터(inverter) V11~V1n를 포함한다. 또, 그 게이트(gate)에 힐터 팔스 신호 CC를 받는 MOSFET P31은, 비교적 큰 사이즈(size)로써 형성되고, 비교적 큰 공급 능력을 갖는다.

【0.07.3】 이러한 것으로, 전위 제어 MOSFET P11~P1n은, 상기 도 1.1의 실시 예의 경우와 마찬가지로, 대응한 MOSFET 제어 신호 MC1~MCn의 저레벨(low level)를 받고 선택적에 온(on) 상태이(가) 되지만, 이러한 전위 제어 MOSFET가 실질적으로 유효하다고 되고 내부 전원 전압 VDL의 전위 제어가 행해지는 것은, MOSFET P31이 온(on) 상태로 된 기간, 즉 힐터 팔스 신호 CC가 유효 레벨(level) 즉 저레벨(low level)로 된 기간으로 한정된다. 이 결과, 미 실시 예의 디지털(digital) 강압 회로 DVG라도, 상기 도 1.6~그림 1.8의 실시 예와 마찬가지로 전원 전압 VDD가 그 허용 범위의 상한측에 변동한 경우도, 전위 제어 MOSFET P11~P1n의 공급 능력이 이상하게 커지고 내부 전원 전압 VDL의 전위가 그 허용 범위로부터 벗어나는 것을 방지하고, 다이내믹(dynamic) 형 RAM의 동작을 더욱 안정화될 수 있는 것이(가) 된다.

【0.07.4】 또한, 그림 2.1의 실시 예에는, 그림 1.9의 실시 예의 디지털(digital) 강압 회로 DVG에 포함된 MOSFET P31을 전위 제어 MOSFET P11~P1n의 공통 결합된 드레인(drain) 가장자리에 설치된 P 채널(channel) MOSFET P32(제2의 MOSFET)로 대체한 것이고, 그 동작 및 효과는 크게 변하지 않는다.

【0.07.5】 그림 2.2에는, 그림 2의 내부 전압 발생 회로 VG에 포함된 디지털(digital) 강압 회로 DVG의 제7의 실시 예의 기본 구성도가 나타나고, 그림 2.3에는, 그 한 실시 예의 회로도가 나타나고 필요하다. 또한, 미 실시 예에는, 그림 1.9 및 그림 2.0의 실시 예를 기본적으로 답습한 것이기 위해(때문에), 이것과 다른 부분에 관해서만 설명을 추가한다.

【0.07.6】 그림 2.2에 있어, 미 실시 예의 디지털(digital) 강압 회로 DVG는, 그 게이트(gate)에 대응한 MOSFET 제어 신호 MC1~MCn를 받는 n 개의 전위 제어 MOSFET P11~P1n를 포함한다. 이러한 전위 제어 MOSFET의 소스(sauce)는, N 채널(channel) MOSFET TN31(제3의 MOSFET)의 소스(sauce)에 공통 결합되고, 그 드레인(drain)은, 내부 전원 전압 VDL에 결합된다. MOSFET TN31의 드레인(drain)은 전원 전압 VDD에 결합되고, 그 게이트(gate)에는, 게이트(gate) 전압 VG가 공급된다.

【0.07.7】 미 실시 예에 있어, 아날로그(analog) · 디지털(digital) 변환 회로 A/D는, 그림 2.3에 나타나도록, 상기 도 1.1의 실시 예와 동일 구성으로 되고, 전위 제어 MOSFET P11~P1n에 대응하고 설치된 n 개의 양자화 인버터(inverter) V11~V1n를 포함한다. 또, 그 게이트(gate)에 게이트(gate) 전압 VG를 받는 MOSFET TN31은, 비교적 큰 사이즈(size)로써 형성되고, 비교적 큰 공급 능력을 갖는다.

【0.07.8】 다음에, 게이트(gate) 전압 발생 회로 VG는, 차동 형태로 된 N 채널(channel) 형의 한 쌍의 MOSFET N41 및 N42를 포함한다. 이러한 차동 MOSFET의 드레인(drain)은, 미라 형태로 된 P 채널(channel) 형의 한 쌍의 부하 MOSFET P41 및 P42를 이용하고 고전압 공급 점

V_{PP}에 결합되고, 그 공통 결합된 소스 (sauce) 는, 그 게이트 (gate)에 소정의 바이어스 (bias) 전압 V_B를 받는 N 채널 (channel) 형의 구동 MOSFET N 4 3을 이용하고 접지 전위 V_{SS}에 결합된다. 차동 MOSFET N 4 1의 게이트 (gate)에는, 소정의 기준 전압 V_R이 공급된다. 또, 다른 편의 차동 MOSFET N 4 2의 게이트 (gate)는, P 채널 (channel) MOSFET P 4 2 및 저항 R 2 1을 이용하고 고전압 공급 점 V_{PP}에 결합됨과 동시에, 저항 R 2 2를 이용하고 접지 전위 V_{SS}에 결합된다. MOSFET P 4 3의 드레인 (drain)에 있어서는, 상기 게이트 (gate) 전압 V_g로서 MOSFET N 3 1의 게이트 (gate)에 공급된다. 또한, 고전압 공급 점 V_{PP}에 있어서 고전압 V_{PP}는, 메모리 (memory) 어레이 (array) MARY를 구성한 워드 (word) 선의 선택 전위로서도 제공되고, 예를 들면 3. 5V일 것인 고전위로 된다.

[0.079] 이것에 의하고, 게이트 (gate) 전압 발생 회로 V_{g G}의 차동 MOSFET N 4 1 및 N 4 2는, MOSFET P 4 1 및 P 4 2라면 이를 다음에 N 4 3과 동시에 하나의 차동 증폭 회로를 구성하고, MOSFET P 4 3이라면 아름다움에 저항 R 2 1 및 R 2 2는, 이 차동 증폭 회로의 출력 신호 즉 MOSFET P 4 1의 드레인 (drain)에 있어서 전위를 게이트 (gate) 전압 V_g로서 전달한 소스 (sauce) 풀로워 (follower) 회로로서 작용함과 동시에, 게이트 (gate) 전압 V_g를 저항 R 2 1 및 R 2 2의 저항비에 따르고 분압하고 차동 증폭 회로를 구성한 MOSFET N 4 2의 게이트 (gate)에 전달한 귀환 회로로서 작용한다. 이 결과, MOSFET N 4 2의 게이트 (gate) 전위는, 기준 전압 V_R과 동전위로 되기 위해 자동적으로 제어되고, 이것에 의하고 게이트 (gate) 전압 V_g의 전위가 전원 전압 V_{DD}의 전위 변동의 영향을 받으려 미기고 안정된 소정의 전위에 고정된 것이(가) 된다.

[0.080] 게이트 (gate) 전압 발생 회로 V_{g G}로부터 출력된 게이트 (gate) 전압 V_g는, 전술과 같이, MOSFET N 3 1의 게이트 (gate)에 공급된다. 따라서 이 MOSFET N 3 1의 소스 (sauce) 전위, 즉 전위 제어 MOSFET P 1 1 ~ P 1 n의 공통 결합된 소스 (sauce)에 있어서 전위는, 게이트 (gate) 전압 V_g보다(부터) MOSFET N 3 1의 임계 전압 V_{t h} n만큼 낮은 전위 즉 V_g - V_{t h} n에 고정되고, 이것에 의하고 전위 제어 MOSFET P 1 1 ~ P 1 n의 소스 (sauce) 드레인사이 전압이 전원 전압 V_{DD}의 전위 변동의 영향을 받는 일 없게 고정된다. 이 결과, 본 실시 예의 경우도, 상기 도 1 6 ~ 그림 1 8의 실시예와 마찬가지로 전원 전압 V_{DD}가 그 허용 범위의 상한측에 변동한 경우에도, 전위 제어 MOSFET P 1 1 ~ P 1 n의 공급 능력이 이상하게 커지고 내부 전원 전압 V_{D L}의 전위가 그 허용 범위로부터 벗어나는 것을 방지하고, 다이나믹 (dynamic) 형 RAM의 동작을 더욱 안정화될 수 있는 것이(가) 된다.

[0.081] 이상의 실시예로부터 얻어지는 작용 효과는, 하기대릅니다 있다. 즉,

(1) 내부 전압 발생 회로를 구비하고 그 동작 전원의 저전압화가 도모된 다이나믹 (dynamic) 형 RAM 등에 있어, 내부 전압 발생 회로를 그 출력인 내부 전원 전압과 소정의 기준 전압과의 사이의 전위차를 암자화하고 여러의 MOSFET 제어 신호를 대응한 조합으로 선택적에 하이 (high) 레벨 (level) 또는 저레벨 (low level) 라고 지나는 아날로그 (analog) · 디지털 (digital) 변환 회로와, 병렬 형태에 설치되고, 극히 작은 사이즈 (size)로 형성되고, 또한 그 게이트 (gate)에 대응한 MOSFET 제어 신호를 받는 것으로 선택적에 온 (on) 상태 또는 오프 (off) 상태로 된 다수의 제어 MOSFET와 읍 (를) 포함한 디지털 (digital) 강압 회로와, 그 프 (off) 상태로 된 디지털 (digital) 강압 회로와 공통 결합되고, 중간적인 사이즈 (size)로 된 제 2의 전위 제어 노드 (node)가 디지털 (digital) 강압 회로와 공통 결합되고, 종간적인 사이즈 (size)로 된 제 2의 전위 제어 MOSFET의 게이트 (gate) 전압을 아날로그 (analog) 파형에 제어한 것에 의하고 소정의 전위의 내부 전원이 MOSFET의 게이트 (gate) 전압을 아날로그 (analog) 파형에 제어한 것에 의하고 소정의 전위의 내부 전원을 생성한 아날로그 (analog) 강압 회로와를 기초로 구성한 것으로, 2개의 강압 회로의 동작 특성을 효과적에 조합시키고, 내부 전원 전압의 전위 제어를 원활하며 고속에 행하게 한 것을 할 수 있다고 말한 효과를 얻을 수 있다.

[0.082] (2) 상기 (1) 항에 의하고, 전원 전압 및 내부 전원 전압의 절대치가 비교적 작게 된다 경우에도 고속인 동시에 안정에 동작하고 파는 내부 전압 발생 회로를 실현하고, 다이나믹 (dynamic) 형 RAM 등의 동작을 안정화될 수 있다고 말한 효과를 얻을 수 있다.

(3) 상기 (1) 항에 의하고, 디지털 (digital) 강압 회로의 전위 제어 MOSFET를 디지털적에 제어하고, 전원 전압 및 내부 전원 전압간의 전위차가 적아진 경우에도 내부 전압 발생 회로의 전위 제어 동작을 고속화할 수 있다고 말한 효과를 얻을 수 있다.

(4) 상기 (1) 항에 의하고, 아날로그 (analog) 강압 회로 및 디지털 (digital) 강압 회로를 구성한 전위 제어 MOSFET의 사이즈 (size)를 작게 하고, 내부 전압 발생 회로의 레이아웃 (layout) 소요 면적을 축소한 것을 할 수 있다고 말한 효과를 얻을 수 있다.

(5) 상기 (3) 항에 의하고, 다이나믹 (dynamic) 형 RAM 등의 칩 (chip) 사이즈 (size)를 축소하고, 그 저비용화를 도모한 것을 할 수 있다고 말한 효과를 얻을 수 있다.

[0.083] (6) 상기 (1) 항 내지 (5) 항에 있어, 디지털 (digital) 강압 회로에, 전원 전압의 전위 변동에 따르고 출력 팔스 신호의 드티 (duty)를 제어한 드티 (duty) 제어회로를 설치하고, 아날로그 (analog) · 디지털 (digital) 변환 회로에 의한 MOSFET 제어 신호의 생성을 출력 팔스 신호에 의하고 제어하고, 또는 제 1의 전위 제어 MOSFET의 공통 결합된 소스 (sauce) 또는 드레인 (drain) 가장자리에 출력 팔스 신호를 받는 P 채널 (channel) 형의 제 1 또는 제 2의 MOSFET를 설치하고, 혹은 제 1의 전위 제어 MOSFET의 공통 결합된 소스 (sauce) 가장자리에 그 게이트 (gate)에 소정의 정전압을 받는 N 채널 (channel) 형의 제 3의 MOSFET를 설치한 것으로, 전원 전압 V_{DD}가 그 허용 범위의 상한측에 변동한 경우에도, 전위 제어 MOSFET의 공급 능력이 이상하게 커지고 내부 전원 전압의 전위가 그 허용 범위로부터 벗어나는 것을 방지할 수 있다고 말한 효과를 얻을 수 있다.

(7) 상기 (6) 항에 의하고, 내부 전압 발생 회로를 구비한 다이나믹 (dynamic) 형 RAM 등의 동작을 더욱 안정화될 수 있다고 말한 효과를 얻을 수 있다.

[0084] (8) 상기 (6) 항 및 (7) 항에 두고

순, 디지털 (digital) 강압 회로의 출력 노드 (node) 와 차동 증폭 회로의 비반전 입력단자와의 사이에 내부 전원 전압의 전위를 분입하고 전달한 분압 회로를 설치한 것으로, 특히 내부 전원 전압의 전위가 기준 전압보다(부터) 높아진 경우의 내부 전압 발생 회로의 다이내믹 (dynamic) 레인지 (range) 를 확대한 것을 할 수 있고, 다이내믹 (dynamic) 형 RAM 등의 동작을 더욱 안정화할 수 있다고 말한 효과를 얻을 수 있다.

[0:0:8:5] 이상, 본 발명자에 의하고 이루어진 발명을 실시예에 근거하고 구체적으로 설명했지만, 이 발명은, 상기 실시예로 한정된 것이 아니라, 그 요지를 일탈하지 않는다 범위에서 여러 가지 변경 가능한 것은 말할 필요도 없다. 예를 들면, 그림 1에 있어, 다이내믹 (dynamic) 형 RAM의 메모리 (memory) 어레이 (array) MAR Y는, 그 직접 주변 회로를 포함하고 임의수의 메모리 (memory) 매트 (mat) 에 분립한 것을 할 수 있다. 또, 다이내믹 (dynamic) 형 RAM은, $\times 4$ 비트 (bit) 또는 $\times 16$ 비트 (bit) 등, 임의의 비트 (bit) 구성을 취한 것을 할 수 있다. 다이내믹 (dynamic) 형 RAM은, 임의의 블록 구성을 취하다 팝고, 시동 제어 신호나 이드레스 (address) 신호 및 내부 제어 신호등의 조합이라면 아름다움에 전원 전압 VDD 및 내부 전원 전압 VDL 등의 극성 및 절대치들은, 여러 가지의 실시 형태를 취하다 팝다.

[0:0:8:6] 그림 2에 있어, 내부 전압 발생 회로 VG의 제 1 및 제 2의 전위 제어회로를 구성한 디지털 (digital) 강압 회로 DVG 및 아날로그 (analog) 강압 회로 AVG는, 강압 회로로 한정되지 않는다. 또, 내부 전압 발생 회로 VG는, 아날로그 (analog) 강압 회로 AVG를 포함하지 않고, 디지털 (digital) 강압 회로 DVG만으로 된 것라도 좋다. 기준 전압 VREF는, 소정의 외부 단자를 이용하고 외부에서 공급해도 좋다. 내부 전압 발생 회로 VG는, 내부 전원 전압 VDL 미외의 각종 내부 전압을 생성한 것을 할 수 있고, 그 블록 구성이나 그림 3에 나타나는 출력 특성은 여러 가지의 실시 형태를 취하다 팝다.

[0:0:8:7] 그림 4에 있어, 기준 전압 발생 회로 VREF의 구체적 구성은, 미 실시예에 의한 제약을 받지 않는다. 그림 5, 그림 7이라면 아름다움에 그림 8에 있어, 전위 제어 MOSFET P2는, 병렬 형태로 된 여러의 MOSFET로 대치한 것을 할 수 있다. 또, 클램프 (clamp) 회로를 구성한 MOSFET의 단수는 임의이고, 전위 안정화용의 용량 C1도, 병렬 형태로 된 여러의 용량으로 대치하다 것이로 나무 쿵.

[0:0:8:8] 그림 14에 있어, 디지털 (digital) 강압 회로 DVG는, 그림 25에 나타나도록, 분압 회로를 구성한 MOSFET N14와 병렬 형태에 용량 C6를 설치하고 하이 (high) 패스 (PAS) 필터 (filter) 를 구성한 것에 의하고, 그 동작 특성을 개선할 수 있다. 즉, 차동 증폭 회로 DA2를 포함한계로는, 그림 26에 나타나도록, 그 미득G 및 주파수대 역B의 적치GB가 일정하게 되기 위해(때문에), 용량 C6를 추가하고 하이 (high) 패스 (PAS) 필터 (filter) 를 구성하고 미득G를 작게 한 것으로, 계의 주파수대역을 확대한 것을 할 수 있다.

[0:0:8:9] 그림 9, 그림 11, 그림 13, 그림 14, 그림 16, 그림 17, 그림 19, 그림 20, 그림 21, 그림 22라면 '아름다움에' 그림 23에 있어, 전위 제어 MOSFET P11~P1n는, 전부 동일 사이즈 (size) 로 형성된 것을 필수 조건이라고 하지 않다. 즉, 전위 제어 MOSFET P11~P1n는, 예를 들면 그 컨덕턴스 (conductance) 를 2가 그것이 담당 승비로 하는 것으로, 2가 그것이 담당 승비를 갖는 n 비트 (bit) 의 MOSFET 제어 신호라고 대응시키는 것을 할 수 있다. 차동 증폭 회로 DA2의 출력 신호를 받는 아날로그 (analog) 디지털 (digital) 변환 회로 A/D의 양자화 인버터 (Inverter) V11~V1n라면 아름다움에 노마 (Noah) 게이트 (gate) NO11~NO1n는, 다른 각종 논리 게이트 (gate) 로 대치하다 것이로 나무 쿵. 또, 클램프 (clamp) 회로를 구성한N 채널 (channel) MOSFET의 단수는 임의에 설정할 수 있고, 전위 안정화용의 용량 C3도 병렬 형태로 된 여러의 용량으로 대치하다 것이로 나무 쿵.

[0:0:9:0] 그림 17 및 그림 20에 나타나는 팔스 발진 회로 POSC 및 드uty (duty) 제어회로 DC의 구체적 구성은, 이러한 실시예에 의한 제약을 받지 않는고, 그림 23에 나타나는 게이트 (gate) 전압 발생 회로 VG에 대해서도 마찬가지이다.

[0:0:9:1] 이상의 설명으로는, 주로 하고 본 발명자에 의하고 이루어진 발명을 그 배경이(가) 된 이용 분야인 다이내믹 (dynamic) 형 RAM의 내부 전압 발생 회로에 적용한 경우에 관하여 설명했지만, 그것으로 한정된 것이 아니라, 예를 들면 전압 발생 회로로서 단체로 형성된 것이나, 동일한 내부 전압 발생 회로를 구비한 각종의 메모리 (memory) 집적회로 장치 및 논리 집적회로 장치등에도 적용할 수 있다. 이 발명은, 적어도 외부 공급된 전원 전압을 기초로 소정의 내부 전압을 생성한 전압 발생 회로 및 이와 같은 전압 발생 회로를 내장한 반도체집적회로 장치에 폭넓게 적용할 수 있다.

[0:0:9:2]

{발명의 효과} 본원에 있어 명시된 발명중 대표적인 것에 의하고 일이지는 효과를 간단하게 설명하면, 하기대릅니다. 즉, 내부 전압 발생 회로를 구비하고 그 동작 전원의 저전압화가 도모된 다이내믹 (dynamic) 형 RAM 등에 있어, 내부 전압 발생 회로를, 그 출력인 내부 전원 전압과 소정의 기준 전압과의 사이의 전위차를 양자화하고 여러의 MOSFET 제어 신호를 대응한 조합으로 선택적에 하이 (high) 레벨 (level) 또는 저레벨 (low level) 라고 지나는 아날로그 (analog) · 디지털 (digital) 변환 회로와, 병렬 형태에 설치되고, 특히 작은 사이즈 (size))로 형성되고, 또한 그 게이트 (gate) 에 대응한 MOSFET 제어 신호를 받는 것으로 선택적에 온 (on) 상태 또는 오프 (off) 상태로 된 다수의 제 1의 전위 제어 MOSFET와 음 (up) 포함한 디지털 (digital) 강압 회로와, 그 출력 노드 (node) 가 디지털 (digital) 강압 회로와 공통 결합되고, 증간적인 사이즈 (size) 로 된 제 2의 전위 제어 MOSFET의 게이트 (gate) 전압을 아날로그 (analog) 과녁에 제어한 것에 의하고 소정의 전위의 내부 전원 전압을 생성한 아날로그 (analog) 강압 회로와를 기초로 구성한 것으로, 2개의 강압 회로의 동작 특성을 효과적에 조합시키고, 내부 전원 전압의 전위 제어를 원활하며 고속에 행하게 한 것을 할 수 있다. 이 결과, 전원 전압 및 내부 전원 전압의 절대치가 비교적 작게 된다 경우에도 고속인 동시에 안정에 동작하고 파는 내부 전압 발생

회로를 실현하고, 다이내믹 (dynamic) 형 RAM 등의 동작을 안정화된 것을 할 수 있다. 또, 디지털 (digital) 강압 회로의 전위 제어 MOSFET를 디지털적에 제어하고, 전원 전압 및 내부 전원 전압간의 전위차가 작아진 경우에도 내부 전압 발생 회로의 전위 제어 동작을 고속화할 수 있음과 동시에, 아날로그 (analog) 강압 회로 및 디지털 (digital) 강압 회로를 구성한 전위 제어 MOSFET의 사이즈 (size) 를 작게 하고, 내부 전압 발생 회로의 레이아웃 (layout) 소요 면적을 축소하고, 다이내믹 (dynamic) 형 RAM 등의 칩 (chip) 사이즈 (size) 를 축소하고, 그 저비용화를 도모한 것을 할 수 있다.

[0.0.9.3] 상기 내부 전압 발생 회로의 디지털 (digital) 강압 회로에, 전원 전압의 전위 변동에 따르고 출력 팔스 신호의 듀티 (duty) 를 제어한 듀티 (duty) 제어회로를 설치하고, 아날로그 (analog) 디지털 (digital) 변환 회로에 의한 MOSFET 제어 신호의 생성을 출력 팔스 신호에 의하고 제어하고, 또는 제 1의 전위 제어 MOSFET의 공통 결합된 소스 (sauce) 또는 드레인 (drain) 가장자리에 출력 팔스 신호를 받는 P 채널 (channel) 형의 제 1 또는 제 2의 MOSFET를 설치하고, 혹은 제 1의 전위 제어 MOSFET의 공통 결합된 소스 (sauce) 가장자리에 소정의 정전압을 받는 N 채널 (channel) 형의 제 3의 MOSFET를 설치한 것으로, 전원 전압 VDD 가 그 허용 범위의 상한측에 변동한 경우에도, 전위 제어 MOSFET의 공급 능력이 미상하게 커지고 내부 전압의 전위가 그 허용 범위로부터 벗어나는 것을 방지한 것을 할 수 있다. 또, 디지털 (digital) 강압 회로의 출력 노드 (node) 와 차동 증폭 회로의 바반전 입력단자와의 사이에 내부 전원 전압의 전위를 분압하고 전달한 분압 회로를 설치한 것으로, 특히 내부 전원 전압의 전위가 기준 전압보다(부터) 높아진 경우의 내부 전압 발생 회로의 다이내믹 (dynamic) 레인지 (range) 를 확대한 것을 할 수 있고, 이것에 의하고 내부 전압 발생 회로를 구비한 다이내믹 (dynamic) 형 RAM 등의 동작을 더욱 안정화될 수 있다.

【도면의 간단한 설명】

【그림 1】 이 발명이 적용된 다이내믹 (dynamic) 형 RAM의 한 실시예를 가리키는 블록 그림이다.

【그림 2】 그림 1의 다이내믹 (dynamic) 형 RAM에 포함된 내부 전압 발생 회로의 한 실시예를 가리키는 블록 그림이다.

【그림 3】 그림 2의 내부 전압 발생 회로의 한 실시예를 가리키는 출력 특성도이다.

【그림 4】 그림 2의 내부 전압 발생 회로에 포함된 기준 전압 발생 회로의 한 실시예를 가리키는 기본 구성도이다.

【그림 5】 그림 2의 내부 전압 발생 회로에 포함된 아날로그 (analog) 강압 회로의 한 실시예를 가리키는 기본 구성도이다.

【그림 6】 그림 5의 아날로그 (analog) 강압 회로의 한 실시예를 가리키는 시스템 (system) 개념도이다.

【그림 7】 그림 5의 아날로그 (analog) 강압 회로의 제 1의 실시예를 가리키는 회로도이다.

【그림 8】 그림 5의 아날로그 (analog) 강압 회로의 제 2의 실시예를 가리키는 회로도이다.

【그림 9】 그림 2의 내부 전압 발생 회로에 포함된 디지털 (digital) 강압 회로의 제 1의 실시예를 가리키는 기본 구성도이다.

【그림 1.0】 그림 9의 디지털 (digital) 강압 회로의 한 실시예를 가리키는 시스템 (system) 개념도이다.

【그림 1.1】 그림 9의 디지털 (digital) 강압 회로의 한 실시예를 가리키는 회로도이다.

【그림 1.2】 그림 9의 디지털 (digital) 강압 회로에 포함된 양자화 인버터 (inverter) 의 한 실시예를 가리키는 동작 특성도이다.

【그림 1.3】 그림 2의 내부 전압 발생 회로에 포함된 디지털 (digital) 강압 회로의 제 2의 실시예를 가리키는 기본 구성도이다.

【그림 1.4】 그림 2의 내부 전압 발생 회로에 포함된 디지털 (digital) 강압 회로의 제 3의 실시예를 가리키는 기본 구성도이다.

【그림 1.5】 그림 1.4의 디지털 (digital) 강압 회로의 한 실시예를 가리키는 출력 특성도이다.

【그림 1.6】 그림 2의 내부 전압 발생 회로에 포함된 디지털 (digital) 강압 회로의 제 4의 실시예를 가리키는 기본 구성도이다.

【그림 1.7】 그림 1.6의 디지털 (digital) 강압 회로의 한 실시예를 가리키는 회로도이다.

【그림 1.8】 그림 1.6의 디지털 (digital) 강압 회로의 한 실시예를 가리키는 신호 파형 그림이다.

【그림 1.9】 그림 2의 내부 전압 발생 회로에 포함된 디지털 (digital) 강압 회로의 제 5의 실시예를 가리키는 기본 구성도이다.

【그림 2.0】 그림 1.9의 디지털 (digital) 강압 회로의 한 실시예를 가리키는 회로도이다.

【그림 2.1】 그림 2의 내부 전압 발생 회로에 포함된 디지털 (digital) 강압 회로의 제 6의 실시예를 가리키는 기본 구성도이다.

【그림 2.2】 그림 2의 내부 전압 발생 회로에 포함된 디지털 (digital) 강압 회로의 제 7의 실시예를 가리키는 기본 구성도이다.

【그림 2.3】 그림 2.2의 디지털 (digital) 강압 회로의 한 실시예를 가리키는 회로도이다.

【그림 2.4】 이 발명에 앞서고 본원발명 자등이 개발한 다이내믹 (dynamic) 형 RAM에 포함된 내부 전압 발생 회로의 일례를 가리키는 기본 구성도이다.

【그림 2 5】 그림 2의 내부 전압 발생 회로에 포함된 디지털 (digital) 강압 회로의 제 8의 실시예를 가리키는 기본 구성도이다.

【그림 2 6】 그림 2 5의 디지털 (digital) 강압 회로에 포함된 차동 증폭 회로의 한 실시예를 가리키는 등작 특성도이다.

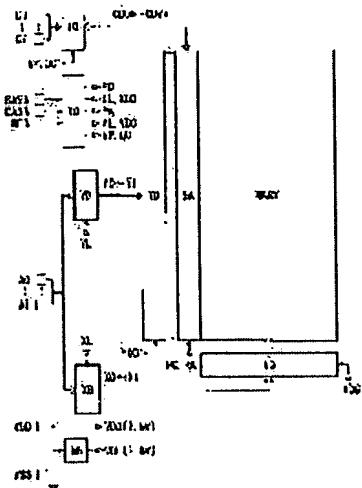
【부호의 설명】

M A R Y ……메모리 (memory) 미레이 (array), X D ……X 어드레스 (address) 디코더 (decoder), X B ……X 어드레스 (address) 버퍼 (buffer), S A ……센스안푸, Y D ……Y 어드레스 (address) 디코더 (decoder), Y B ……Y 어드레스 (address) 버퍼 (buffer), I O ……데이터 (data) 입출력 회로, T G ……타이밍 (timing) 탈생 회로, V G ……내부 전압 탈생 회로, D 0 ~ D 7 ……입출력 데이터 (data) 또는 그 입력 단자, C A S B ……릴럼 (column) 어드레스 (address) 스트로보 (stroboscope) 신호 또는 그 입력 단자, W E B ……라이트 이네이블 (write enable) 신호 또는 그 입력 단자, A 0 ~ A i ……어드레스 (address) 신호 또는 그 입력 단자, V D D ……전원 전압 또는 그 입력 단자, V S S ……접지 전위 또는 그 입력 단자, V D L ……내부 전원 전압, V R F G ……기준 전압 탈생 회로, V R E F ……기준 전압, A V G ……아날로그 (analog) 강압 회로, D V G ……디지털 (digital) 강압 회

길. A (s), B (s), H (s), Q (), B ()……전달 함수, NOISE……노이즈 (noise). A/D……
 아날로그 (analog) · 디지털 (digital) 변환 회로, MC1~MCn……MOSFET 제어 신호, Vthh, Vthn……
 임계치 전압, VF……귀환 전압, POS/C……펄스 탈진 회로, DC……듀티 (duty) 제어회로, VgG……게이트
 (gate) 전압 발생 회로, Vg……게이트 (gate) 전압, P1~P6, P11~P1n, P21, P31~P32, P
 41~P43, P51……P 채널 (channel) MOSFET, N1~N8, N11~N15, N21, N31, N41~
 N43, N51~N53……N 채널 (channel) MOSFET, R1~R4, R10~R1n, R21~R22, R31
 ……저항, F1~F4……퓨즈 (fuse), T1~T3……NPN 바이폴러 (bipolar) 트랜지스터 (transistor), C1
 ~C6……용량, DA1~DA2, DA31~DA3n, DA4……차동 증폭 회로, V1, V11~V1n, V21~
 V2n, V31~V3n, V41~V4n, V51~V53, V61~V64, V71~V7n……CMOS
 인버터 (inverter), NA1……난도 (NAND) 게이트 (gate), NO11~NO1n……노아 (NOA) (NOR) 게
 이트 (gate).

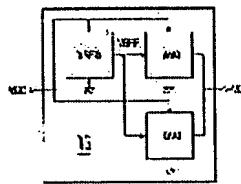
[그림 1]

[그림 1] 74122, 74123, 74124, 74125, 74126



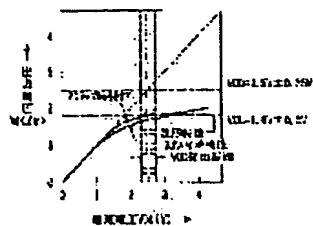
[그림 2]

[그림 2] 74122, 74123, 74124, 74125, 74126



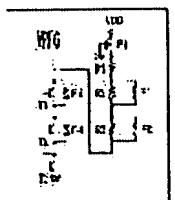
[그림 3]

4-1. 내부회로의 특성



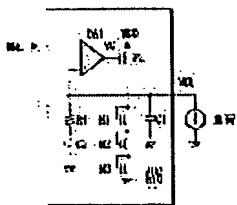
(그림 4)

4-2. 전류제한 회로의 회로도



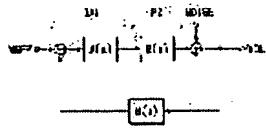
(그림 5)

4-3. 전압제한 회로의 회로도



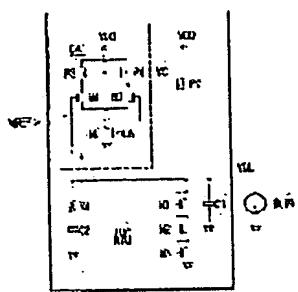
(그림 6)

4-4. 전압제한 회로의 회로도



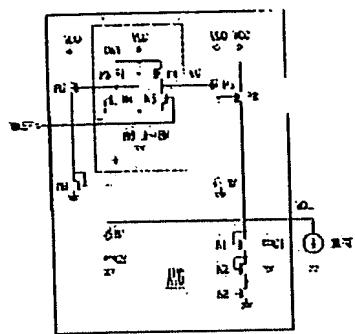
(그림 7)

41 ファン用風量調節装置(実物)



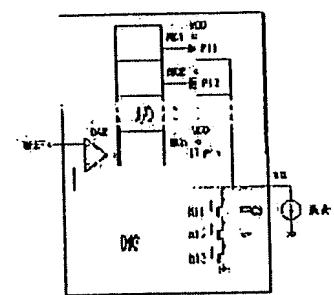
【図版 8】

図8 デジタル制御回路の構成(実際)



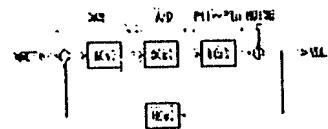
【図版 9】

図9 デジタル制御回路の構成(実際)



【図版 10】

図10 デジタル制御回路のシステム概念



【図版 11】

四、于沙川附近发现的具茎的珊瑚

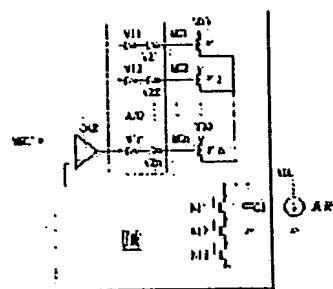
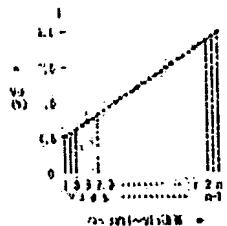


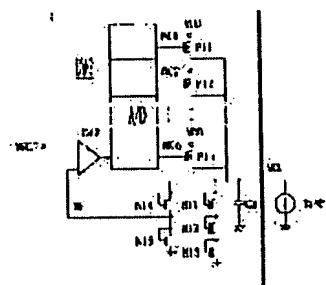
그림 12)

四、主權インバータの設計と実験



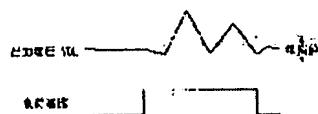
□립 14]

5414 デジタル回路の基本概念(実験8.1)



[1-5]

4.2. デジタル補正後の出力特性



(그림 2-4)

104 油壓駕駛踏板裝置

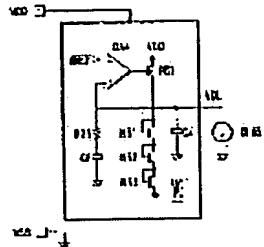
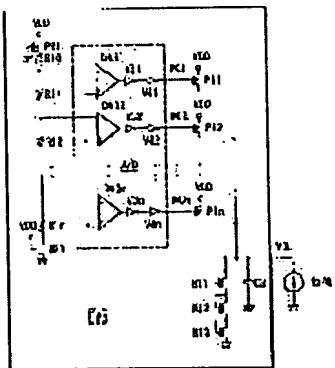


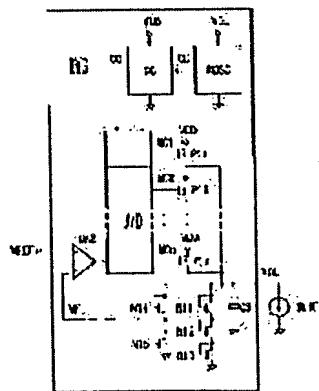
그림 13)

三沙市西沙区永兴岛海事处



□립 16]

三沙市人民代表大会常务委员会关于修改《三沙市人民代表大会常务委员会关于加强和改进人大监督工作的意见》的决定(2019年1月)



□림 17]

図1-8 デジタル信号の回路

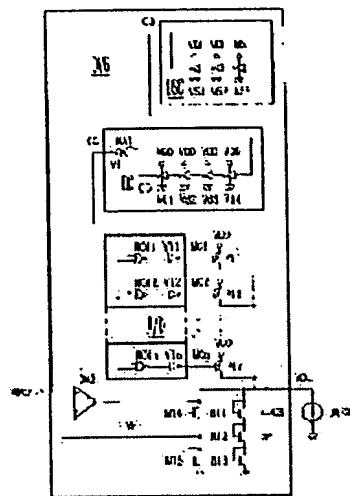


図1-8

図1-9 デジタル信号の時序

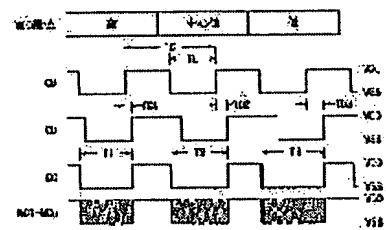
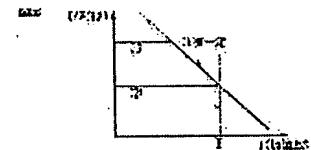
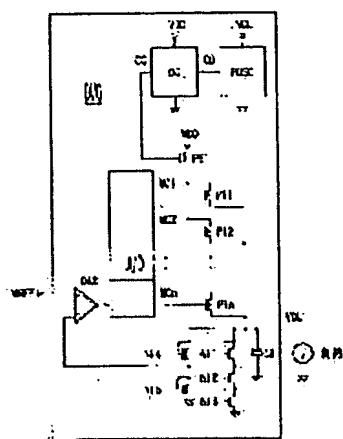


図1-9



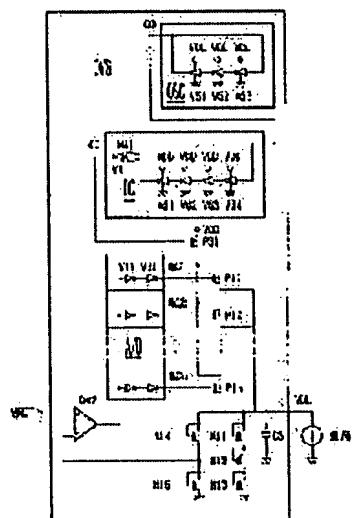
[그림 19]

9-19 525A40[525A40] (525A40)



[그림 20]

9-20 525A40[525A40] (525A40)



[그림 21]

図2 デジタル回路の基本構成(実例1)

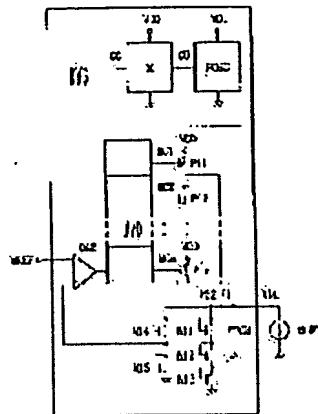
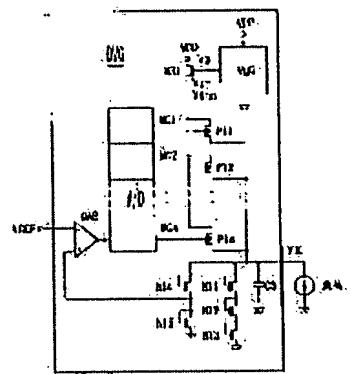


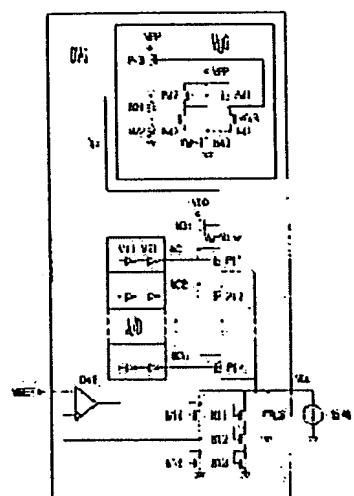
図2(2)

図2 デジタル回路の基本構成(実例2)



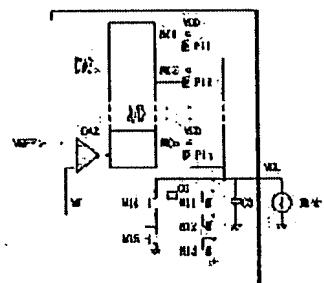
[그림 23]

四、デジタル周波数変換器



□립 25)

629 デジタル回路の基礎 (第8章)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.